工學碩士 學位論文

위상 잡음이 64 QAM 시스템 성능에 미치는 영향에 관한 연구

A Study on the Effect of Phase Noise on 64 QAM System Performance

指導敎授 趙 炯 來

2001年 2月

韓國海洋大學校 大學院

電波工學科 崔 正 洙

本 論文을 崔正洙의 工學碩士 學位論文으로 認准함.

委員長 : 工學博士 金 東 一 (印)

委 員 : 工學博士 閔 庚 植 (印)

委 員 : 工學博士 趙 炯 來 (印)

2001年 2月

韓國海洋大學校 大學院

電 波 工 學 科 崔 正 洙

차 례

Abstract

In modern digital communication, Frequency synthesizers are widely used in wireless LAN, military radar and transceivers. In the military freaquency hopping system, the 16 Kbps data are modulated to 14.5 MHz, up-converted to 30 88 MHz by frequency synthesizer, and transmitted through the channel. The received data are down-converted to IF band by frequency synthesizer and demoulated. Because transceivers rely heavily on frequency conversion using frequency synthesizer in hopping systems and ,therefore, the spectral purity of the internal oscillators in both the receiver and the transmitter is one of the factors limiting the maximum number of available channels and users. Also, theose are demanded for wide-band frequency scope and excellent frequency resolution. To satisfy this conditions, we must predict the oscillator's internal phase noise and carefully consider when it designed.

The phase noise model proposed in [1] is widely known as the Leeson model, and is by far the most well-known. It is based on a linear time-invariant (LTI) approach for tuned tank oscillator, but it really has the nonlinear time variant natures. LC-tuned oscillator is using band-pass charateristics to reduce phase noise and has good performance than ring oscillator which has switching effect in power supply. However, it has not been used widely, for not be integrated on synthesizer.

Thus, in this thesis, linear time-variant(LTV) CMOS inverter ring oscillator's model which can be integrated and has good perfomance in phase noise than relaxation oscillator is analyzed.

To predict the phase noise of oscillator very accurately, the oscillator is considered, which has the linearly time-varying

nature when the input impulsive current into the oscillator is small. The performance which detect the corrupted signal by oscillator phase noise is compared with only affected by AWGN and analyze how much it degrade system performance for 64 QAM.

In accordance with phase noise level, QPSK system performance, using HP-ADS(Advanced Design System), has been analyzed and compared with the results which only affected by AWGN. Added -85 dBc phase noise at 10 kHz offset frequency into the system degraded the BER about 2 dB in QPSK and 4 dB in 64 QAM.

Nomenclature

A	: asymmetry of the waveform
C_n	: Fourier coefficient
f'_{rise}	: maximum slope during rising time
f'_{fall}	: maximum slope during falling time
$h(t)$	: impulse respose
N	: CMOS inverter stage number
$P(\theta)$	: phase noise
P_s	: total error probability
$S_\phi(\omega)$	: power spectrum of $\phi(t)$
$\Gamma(x)$	: impulse sensitivity function
Δt_{VCO}	: timing error
$\sigma_{\Delta\phi}$	: phase jitter
σ_τ	: timing jitter
$\phi(t)$	: excess phase

제 1 장 서론

정보통신 분야는 하루가 다르게 새로운 기술의 발달과 새로운 종류의 서비스가 개발되고 있으며, 21세기에는 정보화가 국가 경쟁력의 원천이 되고 있기 때문에 현재 무한한 가치 창출 능력을 가진 정보 인력 양성에 많은 투자가 이루어 지고 있다.

현재 우리나라는 전파통신을 이용한 서비스와 기술이 비약적인 발전을 하고 있으나 아직 그 수준은 선진국에 비해 많은 부문에서 뒤지고 있는 현실이다.

본 연구에서는 대역 확산 통신 방식 중 군통신, 이동통신에 주로 쓰이는 주파수 도약 방식(SFH)과 무선 통신 분야에서 원하는 반송파 주파수를 합성하여 발생시키는 반도체 집적 회로이며 민수 분야의 무선 휴대통신 단말기, 무선 LAN등과 군수 분야의 전술 레이더 등에 활용되고 있는 주파수 합성기를 연구하고자 한다.

현재 쓰이고 있는 주파수 도약 방식 시스템의 구성을 보면 16 Kbps의 송신 데이터는 변조부에서 14.5 MHz로 변조되어 주파수 합성기에 의해 30 88 MHz로 변환되어 송신되며, 수신된 채널은 동조 필터를 거쳐 다시 14.5 MHz로 복조되어 수신 데이터를 복원하며 이때, 주파수 합성기 및 모뎀의 변조 방식이 매우 중요한 시스템 규격 항목으로 작용된다.

디지털 통신에서 PLL 주파수 합성기는 가격이나 전력 소모면에서 주로 FSK 송•수신방식, 그리고 주파수 도약(FH) 방식에 의한 확산 대역 시스템에 주로 이용되고 있다. 주파수 합성기는 일반적으로 넓은 주파수 범위와 인접된 출력 주파수간의 간격이 좁은 우수한 주파수 해상도를 요구한다. 이러한 조건을 만족하기 위해서 합성기 내부에서 주 잡음 발생원인 발진기의 위상 잡음을 정확하게 예측해야 하며 설계할 때 참고를 해야 한다.

기존에 발진기를 모델링한 것은 대부분 선형 시불변(LTI) 특성을 이용하였다[1],[2]. 그러나 실제 발진기는 비선형적으로 시간에 따라 가변하는 성질을 가진다. LC-tuned 발진기는 위상 잡음을 줄이기 위해 대역 통과 특성을 이용하고 또, 링 발진기는 스위칭 현상

(switching effect)을 가지고 있어 power supply에 잡음이 발생할수 있으므로 LC-tuned 발진기가 링 발진기보다 위상 잡음이나 지터(Jitter) 특성이 우수하나 합성기 외부에 사용되어야 하므로 비용과 실용적인 측면에서 최근에 많이 이용되지 않는다. 따라서 본 연구에서는 집적화가 가능하고 relaxation 발진기보다 잡음 성능이 우수한 링 발진기를 선형시변(LTV) 특성을 이용하여 위상 잡음을 분석하고 이것이 국부 발진기에 사용되었을 때 통신 시스템 성능에 미치는 영향에 관해 분석하였다.

본 연구의 나머지 부분은 다음과 같이 구성된다. 제 2 장에서는 통신 시스템에서 타이밍 지터와 위상 잡음에 대해 알아본다. 먼저, 타이밍 지터에 대한 정의와 또 이것이 PLL 주파수 합성기에 적용되었을 때에 대해 알아보고 위상 잡음과의 관계에 대해 살펴본다. 제 3 장에서는 5단 CMOS 인버터 링 발진기에서 위상 잡음에 대해 알아본다. 우선, 발진기 종류에 따른 위상 잡음을 분석하고 이때 발진기를 ISF(Impulse Sensitivity Function)를 이용하여 시간에 따라 변하는 시스템으로 모델링한다. 그리고, CMOS 인버터 링 발진기에서 위상 잡음과 지터를 수학적으로 분석한다. 제 4 장에서는 먼저 ADS(Advanced Design System)을 이용하여 QPSK 시스템을 설계·분석하고 각각의 위상 잡음 레벨이 어느 정도 시스템 성능을 저하시키는지에 대해 알아본다. 그리고 CMOS 링 발진기에서 발생하는 위상 잡음을 64 QAM 시스템에 적용하여 시스템 성능에 미치는 영향에 대해 알아본다. 마지막으로 제 5 장에서는 결과를 정리하고 향후 과제를 제시하였다.

제 2 장 통신 시스템에서 타이밍 지터와 위상 잡음

2.1 통신 시스템에서 타이밍 신호

대부분의 현대 통신 시스템에서 클럭이나 발진기 신호 형태를 가진 타이밍 정보는 시스템 성능에 중요한 영향을 미친다. 이때 클럭 신호는 믹서나 샘플링 회로를 구동하기 위해 사용된다. 몇몇 시스템에서 타이밍 정보는 국부 발진기나 외부적인 시간 소스로 공급되어진다. 이때 잡음을 최소화 하기 위한 타이밍 에러를 최소화 하는게 중요하다.

타이밍 신호는 다음과 같이 사용된다. 첫 번째로, 디지털 시스템에서 클럭 신호는 레지스터의 입•출력에서 적당한 시간에 로직 신호를 전달하기 위해 사용된다. 최대 클럭 주파수는 일반적으로 레지스터간 로직 게이트의 전송 지연(propagation delay)에 의해 제한되며 송•수신 클럭 신호간 오프셋이나 잡음 때문에 발생하는 타이밍 지터, 그리고 간섭 신호에 의한 타이밍 소스의 변조에 의한 불확실성 때문에 제한 된다.

두 번째로, 클럭의 형태를 가진 타이밍 신호는 또한 샘플링 회로를 구동하는데 사용된다. 일반적으로 샘플링 회로는 A/D 컨버터, 커패시터 필터와 같은 이산 시간 아날로그 신호 처리 회로에 사용된다. 클럭 신호는 이산 시간 샘플로부터 연속적인 신호를 생성하는데 중요하게 사용된다.

타이밍 신호의 세 번째 역할은 협대역 통신 시스템에서 주파수 변이가 필요로 하는 발진기 신호로써 사용된다. RF와 마이크로파 라디오 송•수신기는 협대역 신호를 상향 조정 또는 하향 조정하는 믹싱 회로를 구동하는데 국부 발진기를 사용한다. 이때 발진기에서 발생하는 위상 잡음은 강한 간섭이 존재할 때 원하는 신호를 선택하는데 선택도를 떨어뜨린다.

네 번째 역할은 QPSK나 FSK 변조방식에서 송•수신기는 원하는 정보를 변•복조 하기 위해 PLL을 사용하는데 PLL을 구동하는데 쓰인

다. 이때, 발생하는 타이밍 에러는 신호 정보 자체에 영향을 미칠수 있다. 이러한 클럭을 PLL 주파수 합성기를 적용시켜 요구되어지는 주파수를 생성할 수 있고 클럭이나 데이터 복원에 사용될 때, PLL 주파수 합성기의 잡음원에 대한 타이밍 에러를 최소화 하는게 중요하다.

타이밍 에러의 종류를 살펴보면 첫 번째로, 능동 소자나 수동 소자의 열잡음이나 플리커 잡음에 의해 발생하는 랜덤한 섭동이다. 입력 신호를 해석하는 데 사용되는 클럭 신호는 입력 신호의 데이터의 천이에 근거하여 국부적으로 생성된다. 또한, 이때 발진기에서 발생하는 한 주기 동안의 위상 에러에 의한 잡음은 다음 신호의 시작점을 결정하기 때문에 특히 중요하다.

두 번째로, power supply나 기판의 작용 때문에 발생하는 간섭 신호로 클럭이나 발진 신호와 혼합되어 신호의 위상을 변동시킨다. 주파수 영역에서 이러한 간섭 신호는 스퓨리어스 톤이라 하는데 발진기 스펙트럼의 측파대에서 의사 변조를 야기하고 시간 영역에서는 신호의 위상에 있어 타이밍 지터나 AC 변동을 야기 한다.

세 번째로, 위상이나 주파수에 있어 오프셋이 있다. 클럭 버퍼에서 발생된 부가된 지연은 영향을 받지 않은 데이터에 비해 클럭 에지의 위치가 변화하게 된다. 이러한 타이밍 에러는 시스템의 최고 동작 속도를 제한하며 위상 오프셋은 원하지 않는 변조 측대파를 완전하게 제거하지 못하게 한다.

발진기 신호나 클럭에서 발생하는 타이밍 에러는 디지털 I/O 인터페이스의 최대 속도나 BER, 그리고 A/D 컨버터의 동적 영역을 제한한다. 많은 통신 시스템에서 클럭이나 발진기 신호를 생성하기 위해 PLL을 많이 이용하고 있다. PLL은 클럭과 데이터 복원, 클럭 합성 또는 동기화, 주파수 합성 그리고 PLL 변•복조기에 이용된다. 클럭과 데이터 복원에 사용될 때 PLL은 들어오는 데이터의 천이를 통해 새롭게 동기화된 샘플링 신호를 생성하기 위해 사용된다. 클럭 동기화 시스템에서 PLL은 VCO에서 생성된 국부 클럭 신호를 입력되는 클럭 신호에 lock하기 위해 사용된다. 이때, 데이터와 클럭 신호에 발생하는 에러(skew)를 줄일 수 있다.

2.2 타이밍 지터

위상 잡음 때문에 발생한 랜덤한 섭동은 시간 영역에서 타이밍 지터로 간주하며 발진기에서 발생하는 싸이클간 지터는 출력 주기동안 r.m.s 변동(variation)으로 정의된다. 주기 T_0를 가지는 발진기에 대해 위상에 있어 랜덤한 섭동은 각 발진 주기에서 타이밍 에러 Δt_{VCO}를 가진다. 백색 잡음에 대해 타이밍 에러는 평균이 0이고 분산 $\overline{\Delta t_{VCO}^2}$ 를 가진다.

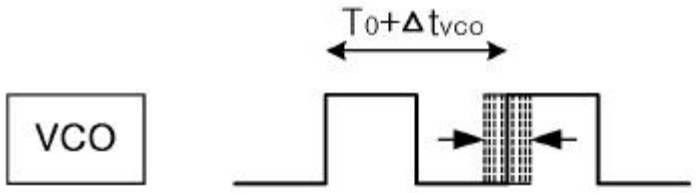

그림 2-1. Cycle-to-Cycle 타이밍 지터
Fig. 2-1. Cycle-to-Cycle timing jitter

여기서, 주기적인 파형의 천이 순간의 불확실성을 클럭 지터(타이밍 지터)라 하며 발진기 자체에서 타이밍 지터는 측정 시간 τ가 증가할수록 증가한다.

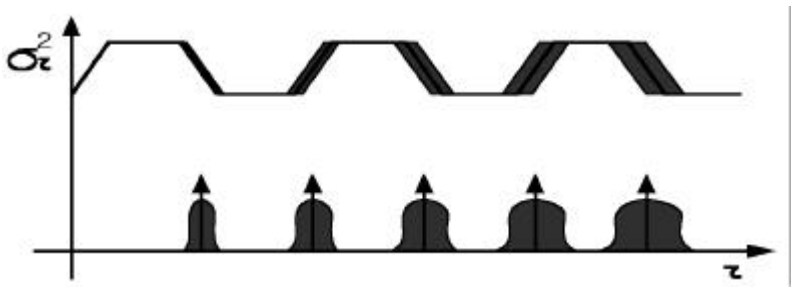

그림 2-2. 타이밍 지터에 대한 분산
Fig. 2-2. Variance of timing jitter

지터의 축적 즉, 분산이 증가하는 것은 이전 파형에서 발생하는 불확실성이 다음 파형에 끝없이 영향을 미치므로 τ만큼 시간이 흐른 후에는 모든 불확실성의 영향을 포함하게 된다.

대부분의 디지털 통신 시스템에서 타이밍 지터 σ_τ는 주기동안 일정한 r.m.s 타이밍 지터를 유지하기 위해 주파수가 증가할수록 같은 비율로 감소하는게 바람직하다. 그러므로, 위상 지터는 다음과 같이 정의 될 수 있다[3].

$$\sigma_{\Delta\phi} = 2\pi\frac{\sigma_\tau}{T} = \omega_0\,\sigma_\tau \qquad (2.1)$$

단, T는 발진 주기를 나타낸다.

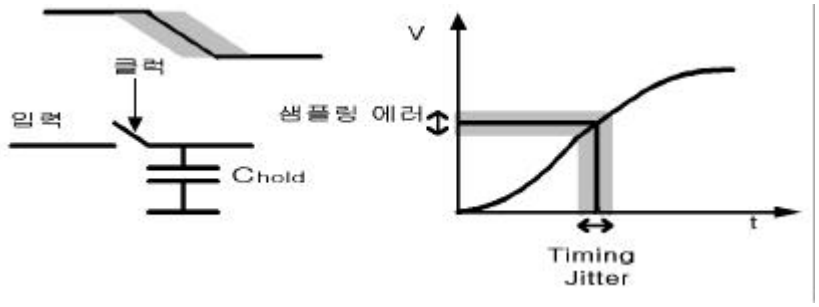

그림 2-3. 타이밍 지터와 샘플링 에러
Fig. 2-3. Timing jitter and sampling error

정현파 입력 전압 $V_0\sin(\omega_0 t)$가 sample/hold 회로에 공급될 때 이상적인 스위치에 공급되어진 샘플링 클럭이 표준 편차 σ_τ만큼의 타이밍 지터를 가진다면 샘플 되어진 전압의 등가 에러 σ_V 는 정현파의 기울기를 통한 타이밍 지터와 관련이 있다. 즉,

$$\sigma_v = v_0\,\omega_0\cos(\omega_0 t)\,\sigma_\tau \qquad (2.2)$$

만약, 샘플링 클럭과 입력 파형 사이에 서로 상반 관계가 없다면 SNR 은 식 (2.2)의 전압 에러의 전력을 평균 하므로써 계산될 수 있다[3]. 즉,

$$SNR = \frac{{v_0}^2/2}{{\sigma^2}_{v,ave}} = \frac{{v_0}^2/2}{{v_0}^2\ {\omega_0}^2\ {\sigma_\tau}^2/2} = \frac{1}{{\omega_0}^2\ {\sigma_\tau}^2} \quad (2.3)$$

단, $\sigma_{v,ave}$ **는 등가 전압 잡음의 평균 표준 편차이다.**

2.3 PLL에서 타이밍 지터

PLL에서 출력되는 지터는 VCO, PLL 입력원, 그리고 루프 대역폭에 의존적이다. 클럭과 데이터를 복원하는데 사용되는 PLL에 입력되는 신호의 지터는 종종 에러의 주 원인이다. 이러한 경우 PLL의 대역폭을 작게 해야 하며 클럭을 합성할때는 PLL의 출력 지터는 VCO의 영향을 많이 받으므로 루프 대역폭을 크게 하므로써 PLL 출력 지터를 줄일 수 있다

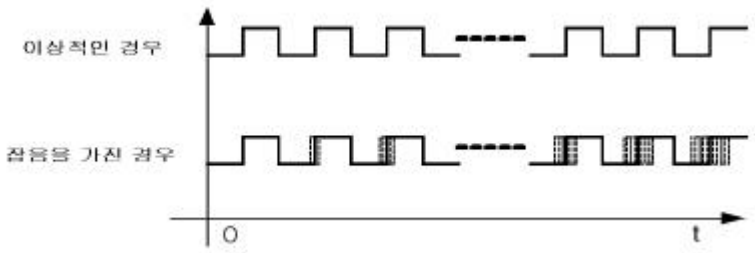

그림 2-4. 발진기 타이밍 지터

Fig. 2-4. Oscillator's timing jitter

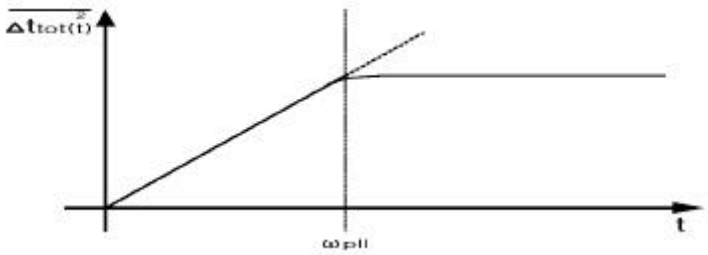

그림 2-5. PLL 출력 지터

Fig. 2-5. PLL output jitter

그림 2-5를 보면 t가 작을 때 지터는 VCO 와 같이 선형적으로 축적되나 t가 클 때 전체 지터 분산은 평형 상태에 도달한다.
결과적으로, 전체 PLL 출력 지터는 다음과 같다.

$$\overline{\Delta t_{PLL}}^2 = \alpha^2 \cdot \overline{\Delta t_{VCO}}^2 \qquad (2.4)$$

단, $\alpha \approx \sqrt{\omega_{ref} / 2\omega_{pll}}$ 는 근사적 루프 대역폭이다.

2.4 위상 잡음과 타이밍 지터와의 관계

먼저, 타이밍 지터는 타이밍 불확실성에 대한 표준 편차로써 다음과 같이 정의 할수 있다[3].

$$\sigma_\tau^2 = \frac{1}{\omega_0^2} E\left([\phi(t+\tau) - \phi(t)]^2 \right)$$
$$= \frac{E[\phi^2(t)]}{\omega_0^2} + \frac{[\phi^2(t+\tau)]}{\omega_0^2} - \frac{E[\phi(t)\,\phi(t+\tau)]}{\omega_0^2} \qquad (2.5)$$

즉,

$$\sigma_X^2 = E[(X - \overline{X})^2] = \int_{-\infty}^{\infty} (X - \overline{X})^2 f_X(X)\, dX$$
$$= E[X^2 - 2X\overline{X} + \overline{X^2}] = E[X^2] - E^2[X] \qquad (2.6)$$

이고 대부분의 디지털 응용에서 타이밍 지터 σ_τ는 주파수가 증가할수록 감소하므로 위상 지터는 다음과 같이 정의 된다.

$$\sigma_{\Delta\phi}(\text{위상 천이}\Delta\phi\text{에 대한 표준 편차}) = 2\pi\frac{\sigma_\tau}{T} = \omega_0\sigma_\tau \qquad (2.7)$$

따라서, 타이밍 지터는

$$\sigma_\tau = \frac{1}{\omega_0}\sigma_{\Delta\phi} = \frac{1}{\omega_0} E\,[\phi(t+\tau) - \phi(t)] \qquad (2.8)$$

이다. 따라서,

$$\sigma_\tau^2 = \frac{1}{\omega_0^2} E\,[\,[\phi(t+\tau) - \phi(t)]^2\,] \qquad (2.9)$$

이다.

식 (2.9)**에서** $\phi(t)$**의 자기 상관함수** $R_\phi(\tau)$**는**

$$R_\phi(\tau) = E[\phi(t)\,\phi(t+\tau)] \qquad (2.10)$$

이므로 식 (2.9)**의 타이밍 지터는 다음과 같다.**

$$\sigma_\tau^2 = \frac{2}{\omega_0^2}\,[R_\phi(0) - R_\phi(\tau)] \qquad (2.11)$$

또한, 자기 상관 함수와 전력 스펙트럼 사이의 관계를 나타내는 Khinchin theorem**에 의해**

$$R_\phi(\tau) = \frac{1}{2\pi}\int_{-\infty}^{\infty} S_\phi(\omega)\, e^{j\omega\tau}\, d\omega \qquad (2.12)$$

이고, 역으로

$$S_\phi(\omega) = \frac{1}{T}\int_{-\infty}^{\infty} R_\phi(\tau)\, e^{-j\omega\tau}\, d\tau \qquad (2.13)$$

이다. 여기서, $S_\phi(\omega) = \phi(t)$**의 전력 스펙트럼이다.**
그러므로, 식 (2.12)**은 다음과 같이 위상 잡음과 타이밍 지터로 나타낼수 있다.**

$$\sigma_\tau^{\,2} = \frac{4}{\pi \omega_0^{\,2}} \int_0^\infty S_\phi(\omega)\, \sin^2\left(\frac{\omega\tau}{2}\right) d\omega \qquad (2.14)$$

제 3 장 5단 CMOS 링 발진기에서 위상 잡음

3.1 시변 위상 잡음 모델

위상 잡음은 보통 주파수 영역에서 특성화 되는데 ω_0에서 동작하는 다음 두가지로 분리 할 수 있다. 하나는 이상적인 발진기로써 이것의 스펙트럼은 임펄스 형태를 가진다. 다른 하나는 실제적인 경우로 이것의 스펙트럼은 중심 주파수 또는 반송 주파수에서 스커트 형태를 가진다.

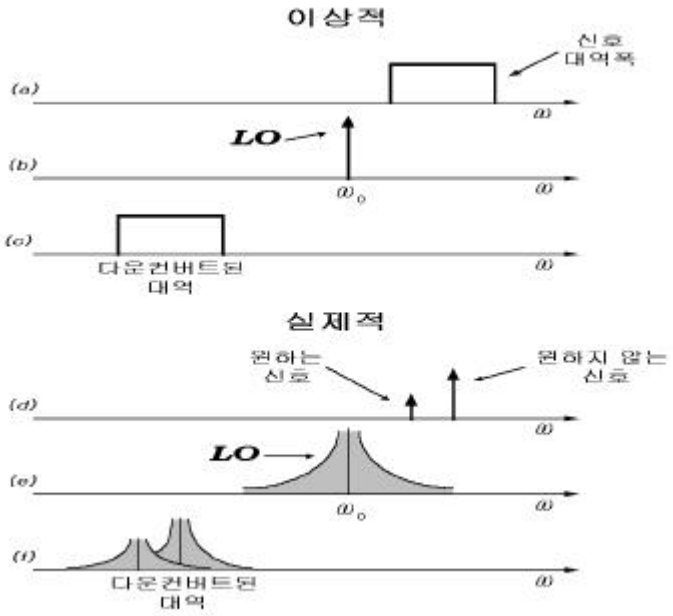

그림 3-1. 수신단 발진기에서 위상 잡음의 영향
Fig. 3-1. Effect of oscillator's phase noise on receiver

일반적으로, 위상 잡음의 양을 측정하기 위해 ω_0에서 $\Delta\omega$정도 오프셋을 가지는 단위 대역폭에서 잡음 전력을 계산하고 이것을 반송

파 전력으로 나누어 주면 된다[4].

$$\text{위상 잡음} = \frac{\text{단위 대역폭의 잡음 전력}}{\text{전체 반송파 전력}} \tag{3.1}$$

국부 발진기의 출력에서 원하는 신호와 원하지 않은 신호가 국부 발진기의 유한 위상 잡음과 혼합될 때, 하향 변환된 신호는 겹쳐지는 스펙트럼을 갖게 되는데 이는 원하는 신호가 원치 않는 신호의 꼬리 성분 때문에 영향을 받게 됨을 의미하고(reciprocal mixing) 원하는 신호를 검출하는데 어려움을 가지게 되며 수신단 성능을 저하시키게 된다.

다음으로, 시변 위상 잡음에 대해 알아보면, 입력 임펄스 전류에 대한 각 시스템은 다음과 같이 한 개의 입력과 한 개의 출력을 가진 시스템으로 나타낼 수 있다[3].

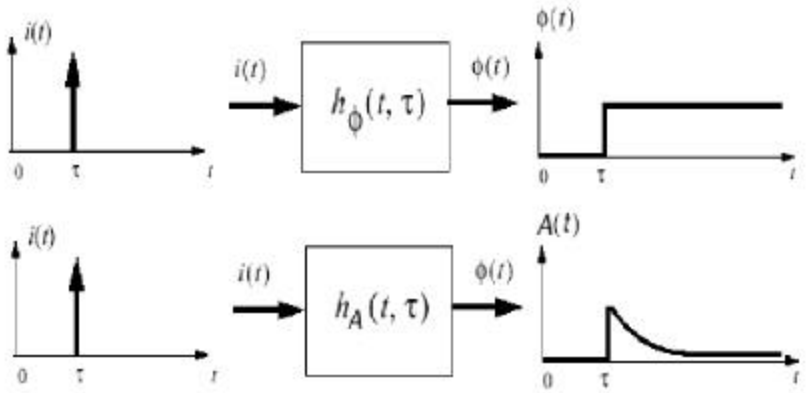

그림 3-2. 발진기의 출력 위상과 진폭에 대한 등가 시스템

Fig. 3-2. The equivalent system for oscillator's output phase and amplitude

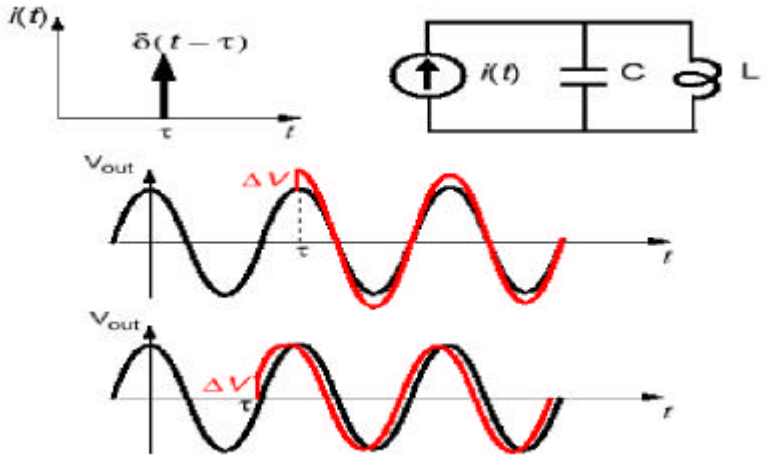

그림 3-3. LC **발진기에 대한 임펄스 응답**

Fig. 3-3. Impulsive response of LC-tuned oscillator

이상적인 LC **발진기의 경우 최대 전압 진폭이** V_0**일 때**

$$v(t) = V_0 \cos(\omega t)$$
$$i(t) = V_0\sqrt{\frac{C}{L}} \sin(\omega t) \qquad (3.2)$$

단, v(t)**는 커패시터 전압이고,** i(t)**는 인덕터를 통과한 신호를 나타낸다.**

만약, $t = t_0$ **에서** Δq**의 면적을 가지는 임펄스 전류가 탱크에 주입되면, 이것은 커패시터 전압에 있어** $\frac{\Delta q}{C} = \Delta V$ **만큼의 전압 변화를 야기 한다. 단,** Δq**는 전체 전하이다.**

따라서, t_0^+ **이후의 커패시터 전압은 다음과 같다.**

$$v(t)\,|_{\,t = t_0^+} = V_0 \cos(\omega t) + \frac{\Delta q}{c} \qquad (3.3)$$

하지만, 인덕터를 흐르는 전류는 일정하다.
결과적으로, t_0후 인덕터 전류와 커패시터 전압은 $\Delta\phi$만큼 위상 천이된 정현파가 된다.

$$v(t) = (V_0 + \Delta V)\cos(\omega t + \Delta\phi)$$
$$i(t) = (V_0 + \Delta V)\sqrt{\frac{C}{L}}\sin(\omega t + \Delta\phi) \tag{3.4}$$

식 (3.4)에서 주어진 전압과 전류는 t_0^+ 의 초기 조건에 일치해야 하므로 다음과 같다.

$$(V_0 + \Delta V)\cos(\omega t_0 + \Delta\phi) = V_0\cos(\omega t_0) + \frac{\Delta\phi}{C}$$
$$(V_0 + \Delta V)\sin(\omega t_0 + \Delta\phi) = V_0\sin(\omega t_0) \tag{3.5}$$

식 (3.5)를 정리하면 다음과 같다.

$$\Delta\phi = -\frac{\Delta q}{C V_0}\sin(\omega t_0) \tag{3.6}$$

따라서, 위상 임펄스 응답은 다음과 같다.

$$h_\phi(t, \tau) = \frac{-\sin(\omega\tau)}{q_{max}}u(t-\tau) \tag{3.7}$$

만약에 임펄스 전류가 커패시터를 통과하는 전압의 피크치에 주입이 되면 그림 3-3에서와 같이 위상에 대한 천이는 발생하지 않고 진폭 변화만이 발생한다. 그러나, 임펄스 전류가 파형이 0지점을 통과할 때 주입되면 과잉 위상(excess phase) $\phi(t)$ 에 큰 영향을 미친다. 실제 안정한 발진기는 AGC를 이용하여 진폭 제한을 하므로 진폭에

대한 왜곡은 무시할수 있지만 위상에 대한 왜곡은 무시할수 없다.

다음으로, 그림 3-4의 relaxation 발진기에 대해 알아보면 $t = \tau$에서 전하가 주입된다면 모든 전하는 커패시터를 통과하게 되고 결과적으로 전압을 변화시킨다.

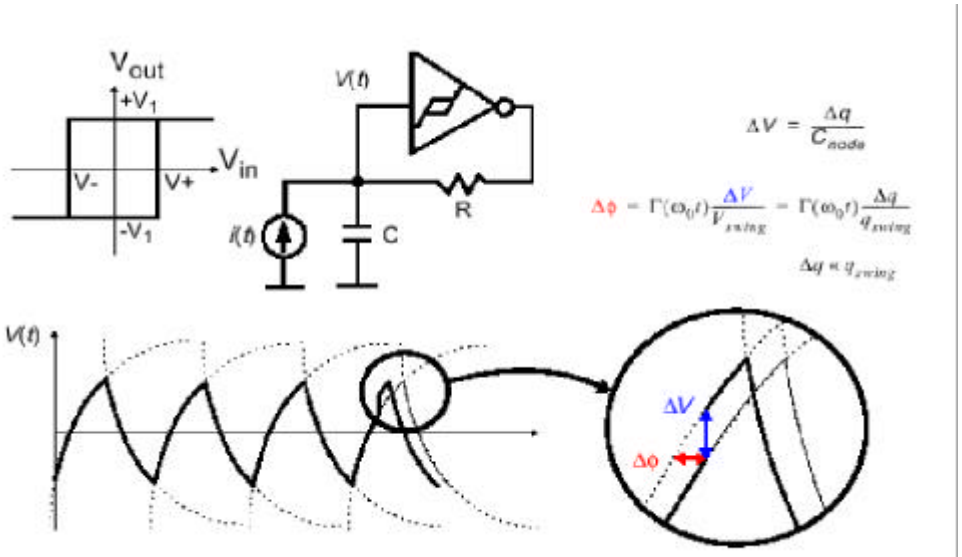

그림 3-4. Relaxation 발진기

Fig. 3-4. Relaxation oscillator

3.2 ISF를 이용한 발진기의 임펄스 응답 모델

그림 3-4에서도 볼수 있듯이 결과적인 위상 천이 $\Delta\phi$ 는 전압 변화 ΔV에 비례함을 알수 있다.

따라서, $\Delta\phi$는 다음과 같이 나타낼 수 있다.

$$\Delta\phi = \Gamma(\omega_0\tau)\frac{\Delta V}{V_{max}} = \Gamma(\omega_0\tau)\frac{\Delta q}{q_{max}} \quad (3.8)$$

단, $q_{max} = C_{node}\ V_{max}$ 이다.

여기서, $\Gamma(x)$는 ISF로써 시변 비례 상수이고 주기 함수이며 발진기에 임펄스 입력이 인가되었을 때 그에 따른 위상 천이를 나타낸다.

다음으로, 그림 3-5에서 단일 전류원을 가지는 5단 CMOS 인버터 링 발진기에 대해 알아보면, 마찬가지로 $t = \tau$에서 면적 Δq를 가지는 임펄스 전류를 노드에 주입하면 그림 3-6과 같이 시간에 따라 변화하는 위상 천이를 알수 있다.

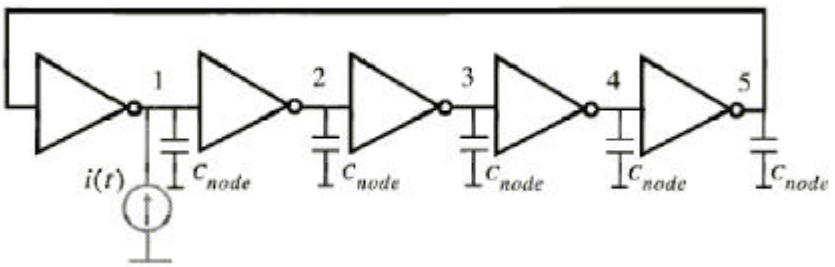

그림 3-5. 5단 CMOS 인버터 링 발진기
Fig. 3-5. 5-stage CMOS inverter ring oscillator

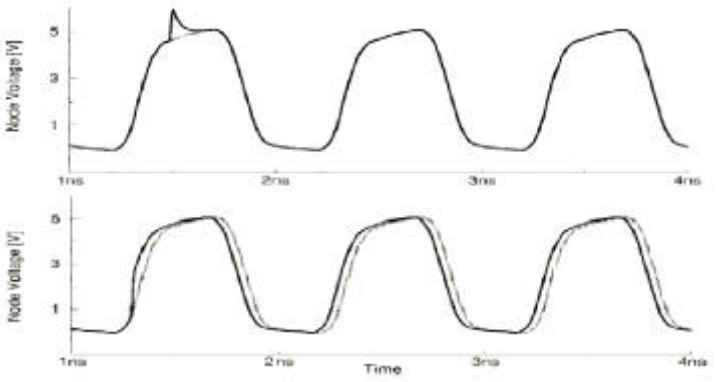

그림 3-6. 위상 천이
Fig. 3-6. Phase shift

단, 주입되는 임펄스 전류가 작을 때 전류를 위상 천이로 변환하는 것은 선형적이라 가정한다. 따라서, 그림 3-2는 선형 시변 단위 임펄

스 응답을 이용해서 표현 가능하다[3].

$$h_{\phi}(t,\tau) = \frac{\Gamma(\omega_0\tau)}{q_{\max}} u(t-\tau) \tag{3.9}$$

단, $u(t)$는 단위 스텝 함수이다.

따라서, 중첩 적분을 사용하여 출력 위상 에러를 나타내면 다음과 같다.

$$\begin{aligned}\phi(t) &= \int_{-\infty}^{\infty} h_{\phi}(t,\tau) i(\tau)\, d\tau \\ &= \int_{-\infty}^{t} \frac{\Gamma(\omega_0\tau)}{q_{\max}} i(\tau) d\tau\end{aligned} \tag{3.10}$$

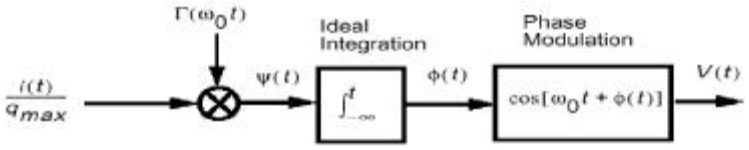

그림 3-7. 등가 시스템 과정

Fig. 3-7. The equivalent block diagram of the process

ISF는 주기 함수이므로 퓨리에 급수로 나타낼 수 있으므로,

$$\Gamma(\omega_0\tau) = c_0 + \sum_{n=1}^{\infty} c_n \cos(n\omega_0\tau + \theta_n) \tag{3.11}$$

이다.

단, c_n은 퓨리에 계수이고 θ_n은 n번째 고조파의 위상을 나타낸다.

따라서, 식 (3-9), (3-10), (3-11)에 의해 발진기 출력 위상 에러는 다음과 같다.

$$\phi(t) = \frac{1}{q_{max}} [\, c_0 \int_{-\infty}^{t} i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^{t} i(\tau) \cos(n\omega_0 \tau) d\tau] \quad (3.12)$$

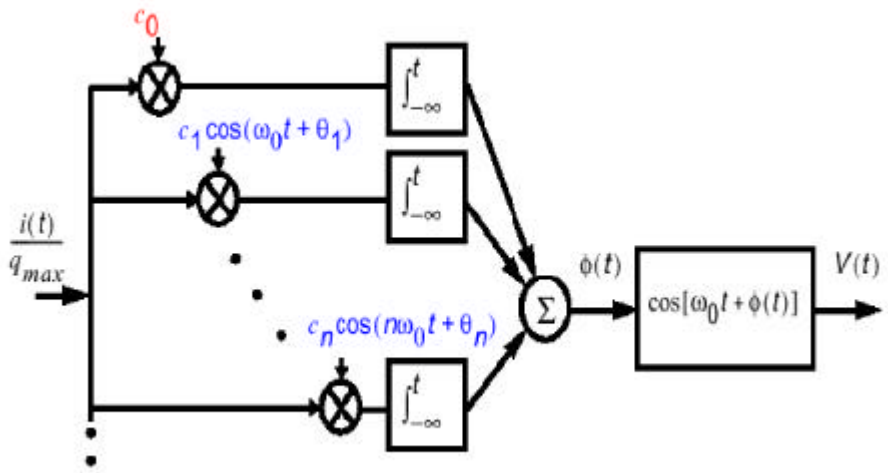

그림 3-8. ISF에 대한 등가 시스템

Fig. 3-8. The equivalent system for ISF

적분기에 의해 ω_0 정수배 근처의 주파수는 통과되고, 기저 대역으로 하향 변환되므로 위상 에러를 근사적으로 표현하면 다음과 같다.

$$\phi(t) \approx \frac{I_n \; C_n \sin(\Delta\omega t)}{2\, q_{max}\, \Delta\omega} \quad (3.13)$$

따라서, 발진기 출력 파형의 위상 에러에 식 (3.13)를 대입하여 위상 잡음에 대한 단측파대역 스펙트럼을 구하면 다음과 같다.

$$\pounds\{\Delta w\} = 10 \log \left(\frac{\frac{\overline{i_n}^2}{\Delta f} \sum_{n=0}^{\infty} c_n^{\,2}}{4 \; q^2_{max}\, \Delta w^2} \right) \quad (3.14)$$

단, $\frac{I_n^{\,2}}{2} = \frac{i_n^{\,2}}{\Delta f}$, $(\Delta f = 1Hz)$ **이고,**

$\frac{i_n^{\,2}}{\Delta f}$ 는 백색 잡음 때문에 발생한 잡음 전력이다.

여기서, Parseval 정리를 이용하면 다음과 같다.

$$\sum_{n=0}^{\infty} c_n^{\,2} = \frac{1}{\pi}\int_0^{2\pi} |\Gamma(x)|^2 dx = 2\,\Gamma^2{}_{rms} \tag{3.15}$$

따라서, 백색 잡음 입력 때문에 발생한 위상 잡음은 다음과 같다.

$$\pounds\{\Delta w\} = 10\log\left(\frac{\frac{\overline{i_n^{\,2}}}{\Delta f}\,\Gamma^2{}_{rms}}{2\,q^2{}_{\max}\,\Delta w^2}\right) \tag{3.16}$$

다음으로, 발진기 출력 파형이 대칭일 때 ISF 를 고려하면 그림 3-9에서 볼수 있듯이 ISF 는 최대값 $\frac{1}{f'_{\max}}$ 를 가진다.

단, $f'_{\max}$ = 일반화된 파형의 최대 기울기

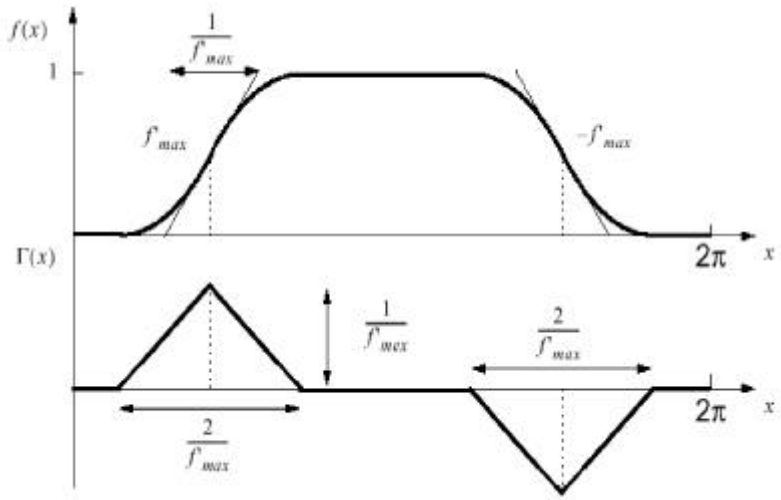

그림 3-9. 링 발진기에 대한 근사화된 ISF와 파형

Fig. 3-9. Approximate waveform and ISF for a ring oscillator

따라서, Γ_{rms} 는 다음과 같다.

$$\begin{aligned}\Gamma_{rms}^{2} &= \frac{1}{2\pi}\int_{0}^{2\pi}\Gamma^{2}(x)\,dx \\ &= \frac{4}{2\pi}\int_{0}^{\frac{1}{f'_{max}}} x^{2}\,dx \\ &= \frac{2}{3\pi}\left(\frac{1}{f'_{max}}\right)^{3}\end{aligned} \tag{3.17}$$

1단 지연은 파형의 상승시간에 비례하고 주기는 1단 지연 보다 2N배 길다는 것을 고려하면 Γ_{rms} 는 근사적으로 다음과 같다.

$$\Gamma_{rms} = \sqrt{\frac{2\pi^{2}}{3\eta^{3}}}\cdot\frac{1}{N^{1.5}} \tag{3.18}$$

다음으로, 발진기 출력 파형이 비대칭일 때 ISF 를 고려하면, 그림 3-10에서 볼수 있듯이 근사화된 ISF 의 r.m.s 값은 다음과 같다.

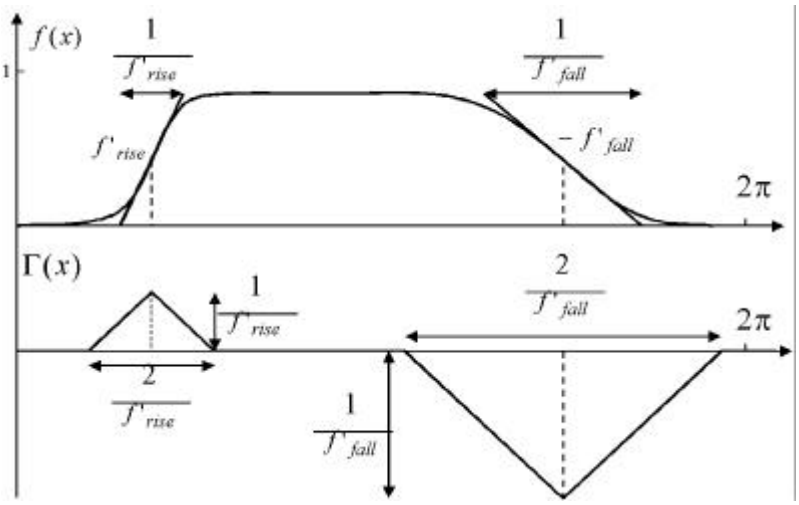

그림 3-10. 비대칭 상승·하강 에지에 대한 근사화된 ISF와 파형

Fig. 3-10. Approximate waveform and ISF for asymmetric rising and falling edges

$$\Gamma_{rms}^{2} = \frac{1}{\pi}\left[\int_{0}^{\frac{1}{f'_{rise}}} x^{2}dx + \int_{0}^{\frac{1}{f'_{fall}}} x^{2}dx\right] = \frac{1}{3\pi}\left(\frac{1}{f'_{\max}}\right)^{3}(1+A^{3}) \quad (3.19)$$

단, f'_{rise}, f'_{fall}**= 출력 파형의 상승 시간과 하강 시간 동안 최대 기울기이고,** $A = \frac{f'_{rise}}{f'_{fall}}$**는 출력 파형의 비대칭 정도를 나타낸다.**

여기서, 주기는

$$2\pi = \eta N\left(\frac{1}{f'_{rise}} + \frac{1}{f'_{fall}}\right) = \frac{\eta N}{f'rise}(1+A) \quad (3.20)$$

이고, 식 (3.19)**과 식** (3.20)**을 결합하면,**

$$\Gamma_{rms}^{2} = \frac{8\pi^{2}}{3\eta^{3}} \cdot \frac{1}{N^{3}}\left[\frac{1+A^{3}}{(1+A)^{3}}\right] \quad (3.21)$$

이 된다. 따라서, 출력 파형이 비대칭일때가 대칭적일 때 보다 위상 잡음이 많이 발생함을 알 수 있다.

3.3 위상 잡음 저감 대책

Leeson**의** VHF **또는** lower UHF **주파수에서 동작하는 발진기의 위상 잡음 모델을 이용하여 구할수 있다**[1].

$$l(f)[dBc/Hz] = 10\log\left(1 + \frac{f_o^{2}}{(2fQ)^{2}} * \left(1 + \frac{f_c}{f}\right)\frac{NFKT}{2p_s} + \frac{2KTRK_O^{2}}{f^{2}}\right) \quad (3.22)$$

단, f = **오프셋 주파수,** NF= **잡음지수,** K_0= **발진기 이득**(Hz/ V),
K=Boltzmann's constant= $1.38*10^{-23}$ J/ K, T= **실내 온도** =298K,
R= **바랙터의 등가 저항,** P_s= **능동 디바이스 입력에서의 평균 전력,**

f_c= 능동 디바이스의 플리커 주파수, f_0= 반송 주파수이다.

첫 번째로, Leeson 모델을 이용하여 Q값에 따른 오프셋 주파수에서 위상 잡음을 알아보면 다음과 같다.

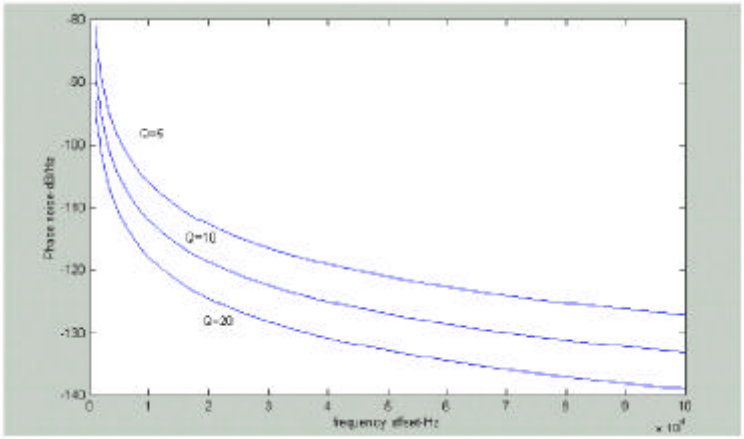

그림 3-11. 발진기 Q 값에 따른 위상 잡음

Fig. 3-11. Phase noise for different values of oscillator Q

두 번째로, FET가 BJT보다 더 작은 플리커 잡음과 잡음 지수를 갖기 때문에 FET 발진기는 BJT 발진기보다 더 작은 위상 잡음을 갖는다.

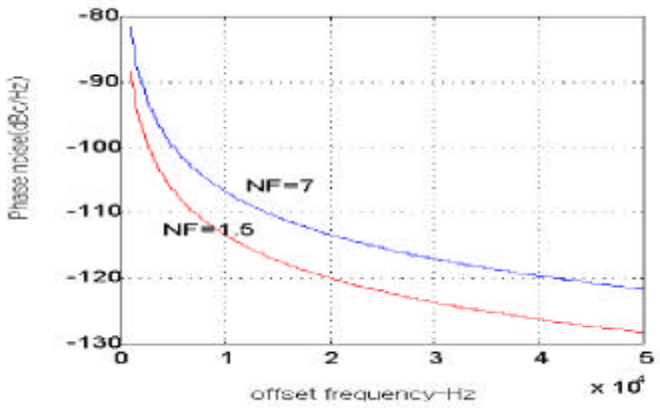

그림 3-12. 잡음 지수에 따른 위상 잡음

Fig. 3-12. Phase noise for different values of oscillator NF

세 번째로, 플리커 잡음은 디바이스의 도전율의 변화나 전자관 음극 물질의 전자 방출조건이 시간적으로 불균일하게 되므로써 전기적 변화를 일으켜 생기는 잡음으로써 그 영향은 다음 그림에서 확인할 수 있다.

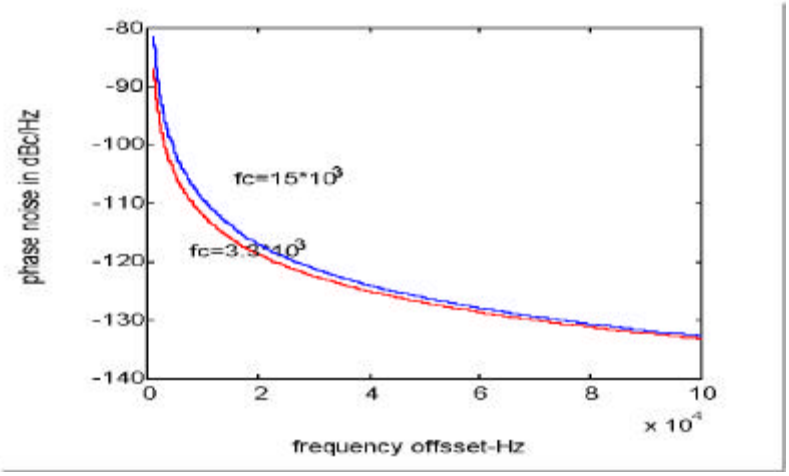

그림 3-13. **플리커 잡음에 따른 위상 잡음**

Fig. 3-13. Phase noise for different values of oscillator f_c

따라서, 소자를 선택할 때 위와 같은 것을 고려하면 약 10 30 dB **정도의 위상 잡음을 경감 할 수 있다**[5].

제 4 장 위상 잡음이 시스템에 미치는 영향

4.1 QPSK 시스템

PSK 변조 방식은 디지털 신호의 정보 내용에 따라 반송파의 위상을 변환시키고 M진 PSK 변조 방식은 2진 디지털 신호를 m 개의 비트로 묶어서 $M = 2^m$ 개의 위상으로 분할하며, 2진, 4진, 8진 PSK등이 널리 사용되고 있다. 일반적으로, PSK파는 일정한 포락선(또는 진폭)을 갖는 파형이기 때문에 전송로 등에 의한 레벨 변동의 영향을 적게 받으며 심볼 에러도 우수하다는 특징을 가지고 있고 QPSK의 피변조파는 양측대파 신호이기 때문에 타이밍 정보 및 주파수 정보를 포함하고 있어 변·복조 회로가 비교적 간단한 이점이 있다.

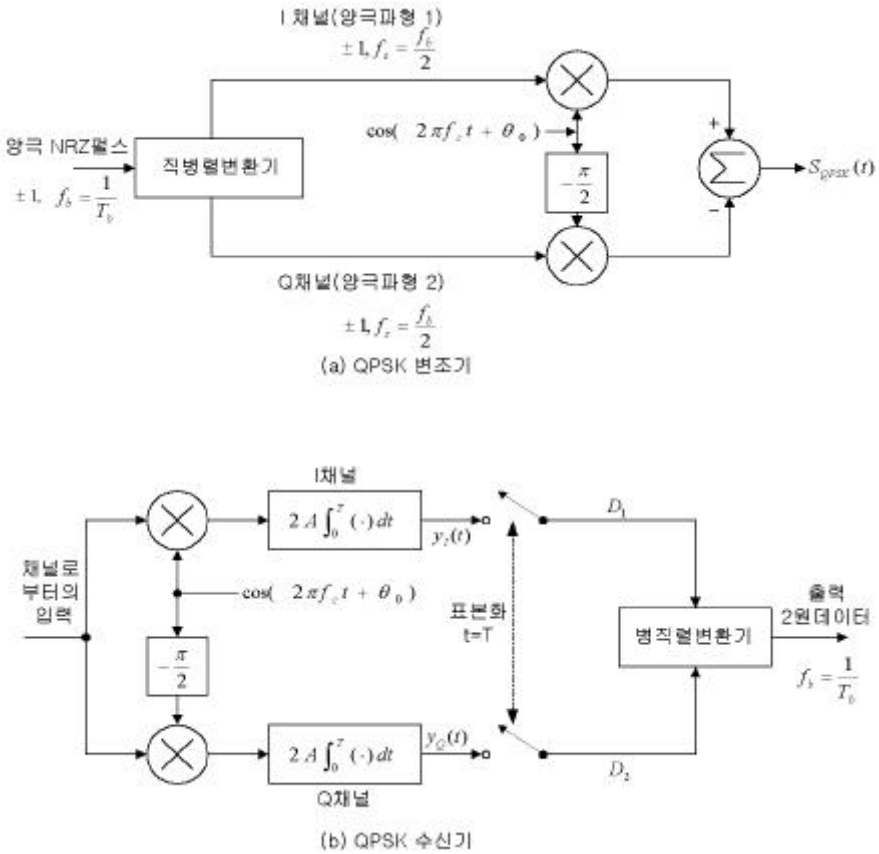

그림 4-1. QPSK의 변조기와 수신기

Fig. 4-1. QPSK modulator and receiver

(a) QPSK modulator (b) QPSK receiver

그림 4-1의 QPSK 변조 방식에서 I 채널과 Q 채널의 입력 데이터가 변화함에 따라 출력 신호 파형이 다음 그림과 같이 변화한다.

표 1. 신호와 위상

Table 1. Signals and phases

$d_I(t)$	$d_Q(t)$	S(t)
1	1	$\cos\omega_o t - \sin\omega_o t = \sqrt{2}\ \cos(\omega_o t + 45_\circ)$
-1	1	$-\cos\omega_o t - \sin\omega_o t = \sqrt{2}\ \cos(\omega_o t + 135_\circ)$
1	-1	$\cos\omega_o t + \sin\omega_o t = \sqrt{2}\ \cos(\omega_o t - 45_\circ)$
-1	-1	$-\cos\omega_o t + \sin\omega_o t = \sqrt{2}\ \cos(\omega_o t + 225_\circ)$

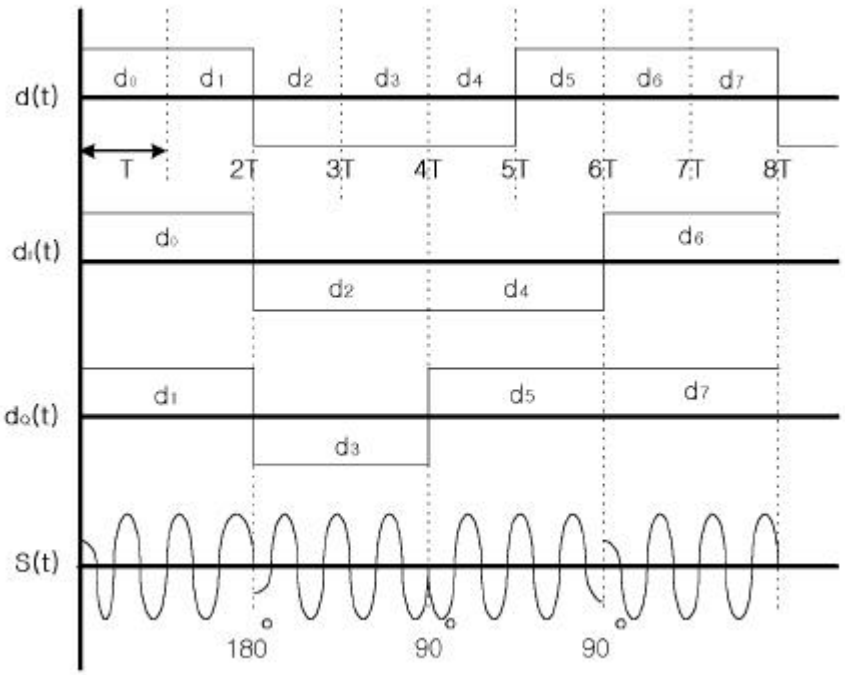

그림 4-2. QPSK 변조 신호

Fig. 4-2. QPSK modulated signals

다음으로, BPSK와 QPSK의 비트 오류 확률에 대해 알아보면,

우선, BPSK 오류 확률은 다음과 같다.

$$P(e) = \frac{1}{2} erfc\left(\sqrt{\frac{E_b}{N_o}}\right) \quad \text{단,} \quad E_b = \frac{A^2 T}{2} \tag{4.1}$$

그리고, QPSK 오류 확률은 다음과 같이 정의 되며

$$P(e) \simeq erfc\sqrt{\frac{E_b}{N_0}} \quad \text{단,} \quad E_b = \frac{A^2 T_b}{2} \tag{4.2}$$

각 채널의 오류 확률은 BPSK의 오류 확률과 같게 된다.
E_b/N_0 또는 SNR을 기준으로 BPSK는 QPSK보다 3 dB 우수하지만 동일한 주기 T를 기준으로 하면 QPSK는 BPSK보다 2배의 비트를 전송하고 OQPSK는 QPSK와 거의 유사한 형태를 가지나, π만큼의 위상 변화는 일어나지 않으며 단지 $\pi/2$ 만큼의 위상 천이를 가지므로 최대 진폭 변화율은 30%가 된다. 또한, OQPSK 시스템의 심볼 오류 확률은 QPSK 시스템의 심볼 확률과 동일하다.

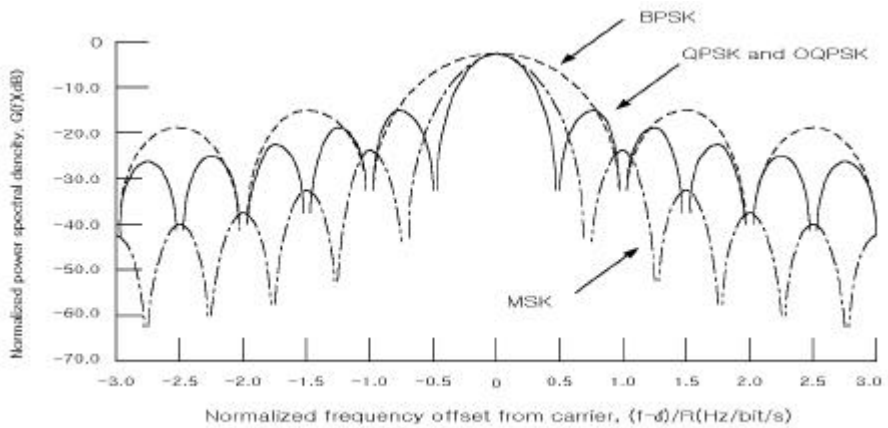

그림 4-3. BPSK, QPSK, OQPSK와 MSK의 정규화된 전력 스펙트럼 밀도

Fig. 4-3. Normalized power spectrum density of BPSK, QPSK, OQPSK, and MSK

4.1.1 위상 잡음의 영향

불완전한 반송파 동기는 복조된 신호에 대해 위상 에러 θ를 가지는 상관(correlation) 손실 $\cos\theta$를 야기한다. 또한, QPSK 시스템에서는 이진 신호 성분 사이에서 cross coupling에 의해 $\sin\theta$ 에 비례하는 상호 채널 간섭 성분을 야기하고 AWGN의 영향을 받을 때 QPSK 시스템에서 판단 에러에 대한 확률은 다음과 같이 주어진다[6].

$$p(\theta) = Q[(2E_b/N_0)^{1/2}\rho(\theta)] \tag{4.3}$$

단, $Q[v] \cong \frac{1}{(2\pi)^{1/2}} \int_v^{\infty} \exp(-\lambda^2/2)\, d\lambda$ 이다. (4.4)

여기서, $\rho(\theta)$는 θ만큼 반송파 추적(tracking) 에러가 발생했을 때, 복조된 신호 전압의 감소 성분을 나타내고 반송파 복원 에러가 없을 때, $\rho = 1$이고 복조된 이진 신호 벡터의 간격은 $\sqrt{2(E_b)}$ 이다. 또한, 동기 에러 θ가 발생했을 때 복조된 신호는 $\cos\theta$에 일치하는 상관 손실을 가진다[6].

반송파 동기가 정확할 때 QPSK 신호의 두 개의 이진 성분은 서로 직교 인체로 검출되지만 $\theta \neq 0$ 일때에는 상호 손실 $\cos\theta$ 뿐만 아니라 QPSK 신호의 2개의 이진 채널 사이의 직교성이 상실된다. 2개의 이진 성분간 상호 간섭은 $\pm\sin\theta$에 비례하여 발생한다. 따라서, 반송파 동기에 있어 ϕ 만큼의 위상 에러가 발생 했을 때 복조 되어진 이진 신호 벡터 사이의 거리는 다음과 같다.

$$\rho_Q(\theta) = \cos\theta \pm \sin\theta \tag{4.5}$$

결과적으로, 판별 에러에 대한 조건부 확률 밀도 함수는 다음과 같다.

$$p_Q(\theta) = \frac{1}{2}[p_+(\theta) + p_-(\theta)] \tag{4.6}$$

단, $p_+(\theta) = Q[(2E_b/N_0)^{1/2}](\cos\theta + \sin\theta)$
$p_-(\theta) = Q[(2E_b/N_0)^{1/2}](\cos\theta - \sin\theta)$

수신단에서 심볼을 결정하는데 영향을 미치는 위상 잡음에 대한

통계적 과정은 중심 극한 정리를 이용하면 다음과 같다[7],[8].

$$P(\theta) = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{\theta^2}{2\sigma^2}} \tag{4.7}$$

단, $\sigma^2 = \theta_{rms}^2 + \overline{\theta_{no}^2}$,

θ_{rms}^2 는 발진기에서 발생하는 위상 잡음에 대한 분산이고

$\overline{\theta_{no}^2}$ 는 AWGN에 의해 발생된 PLL에 입력되는 위상 잡음에 대한 분산이다.

또한, i번째 심볼에 대한 에러 확률은 반송파 복원 루프의 대역폭이 데이타율보다 작기 때문에 위상 에러는 각 비트 주기 동안 상수처럼 간주 되어지므로 판별 에러에 대한 무조건 확률은 주어진 위상 에러 θ에 대해 위상 잡음에 대한 확률 밀도 함수와 i번째 조건적 에러 확률과 평균을 취함으로써 구할수 있다.

$$P_{si} = \int_{-\pi}^{\pi} P(\theta)\, p_Q(\theta) \tag{4.8}$$

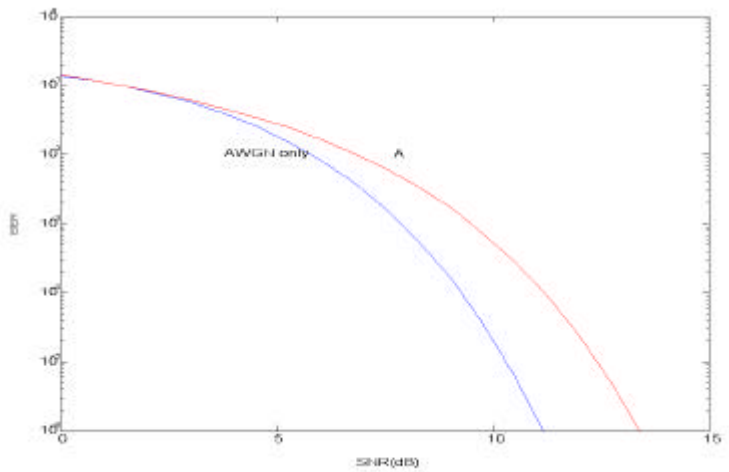

그림 4-4. 위상 잡음의 영향을 받은 QPSK 시스템에서 BER 곡선

Fig. 4-4. QPSK BER curves, affected by phase noise

단, A는 그림 4.12의 10 kHz 오프셋 주파수에서 -85 dBc/ Hz 의 위상 잡음의 영향을 받은 경우를 나타냄.

4.1.2 ADS를 이용한 위상 잡음의 영향 분석

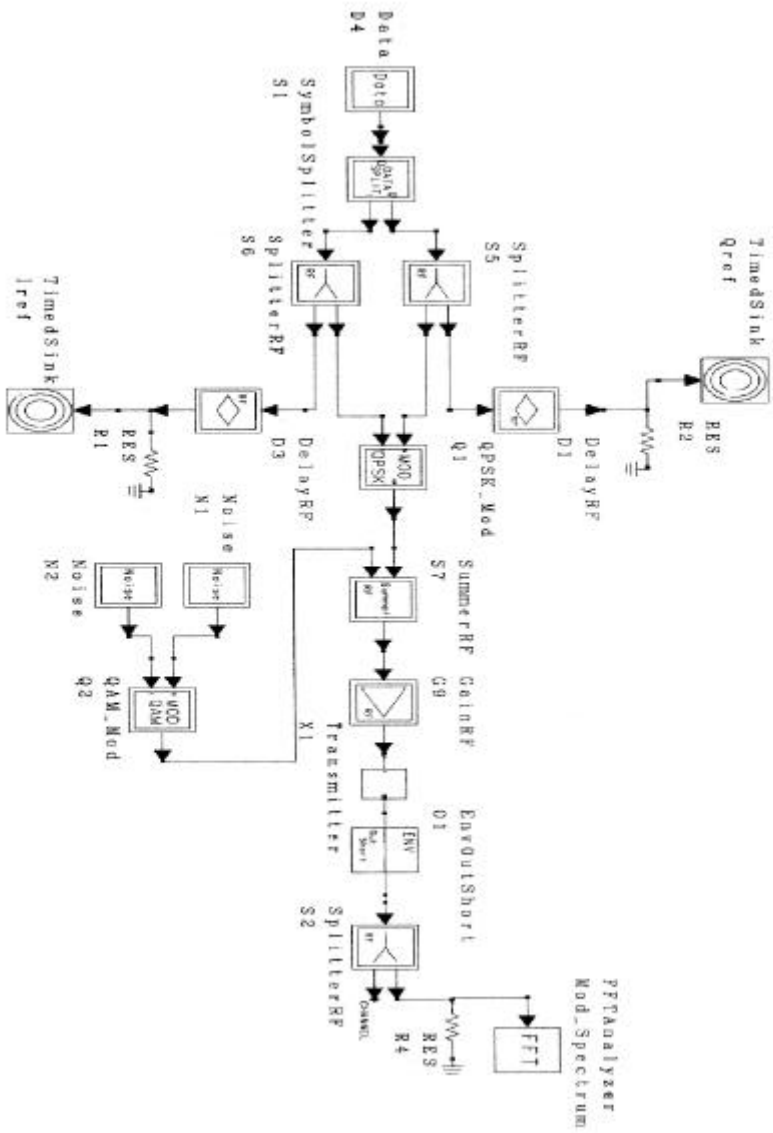

그림 4-5. QPSK 송신부

Fig. 4-5. QPSK transmitter

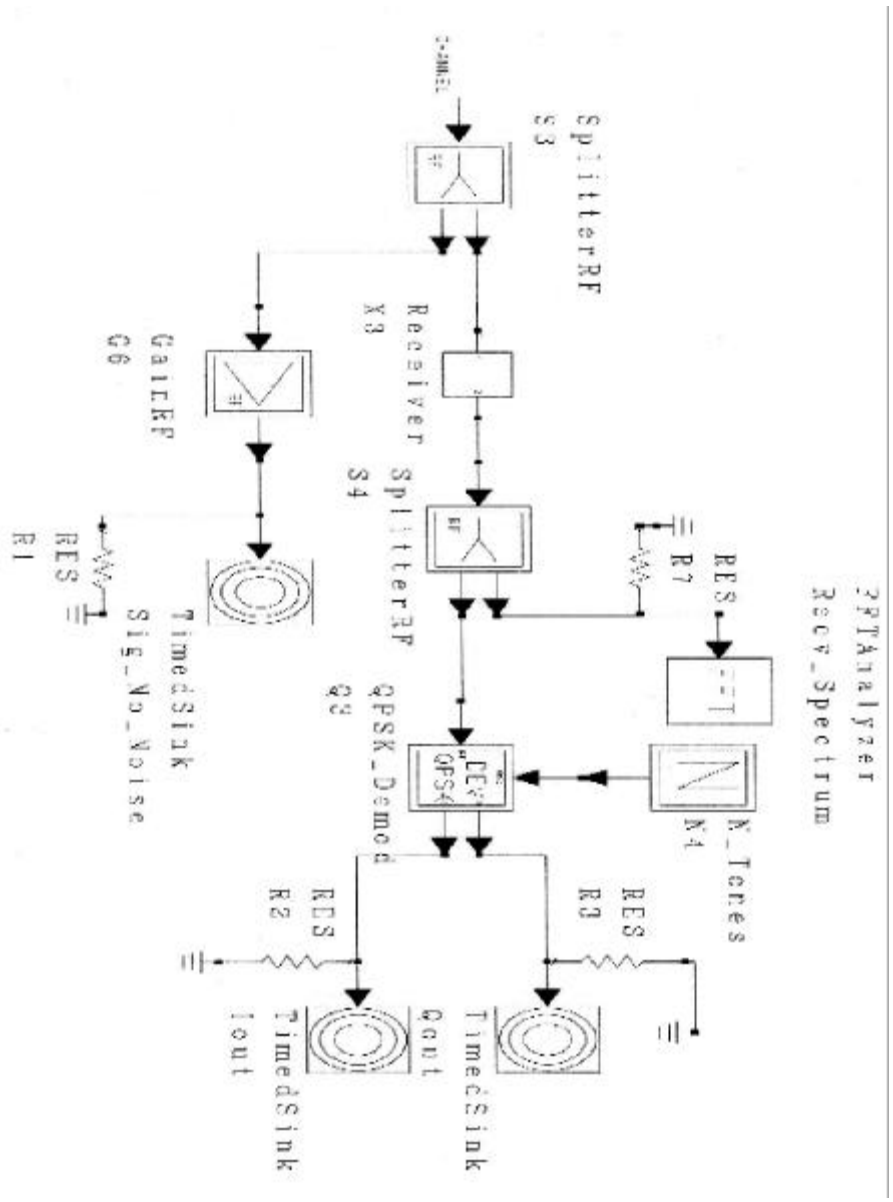

그림 4-6. QPSK 수신부

Fig. 4-6. QPSK receiver

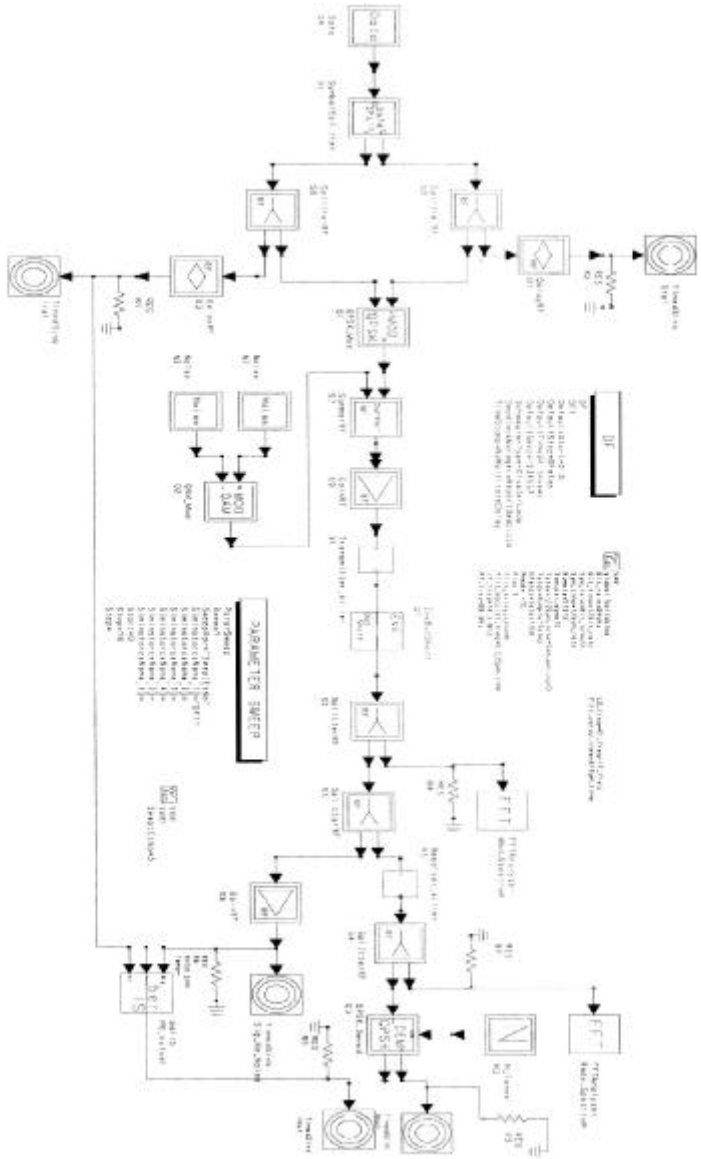

그림 4-7. QPSK **전체 시스템 구조**

Fig. 4-7. Total QPSK system architecture

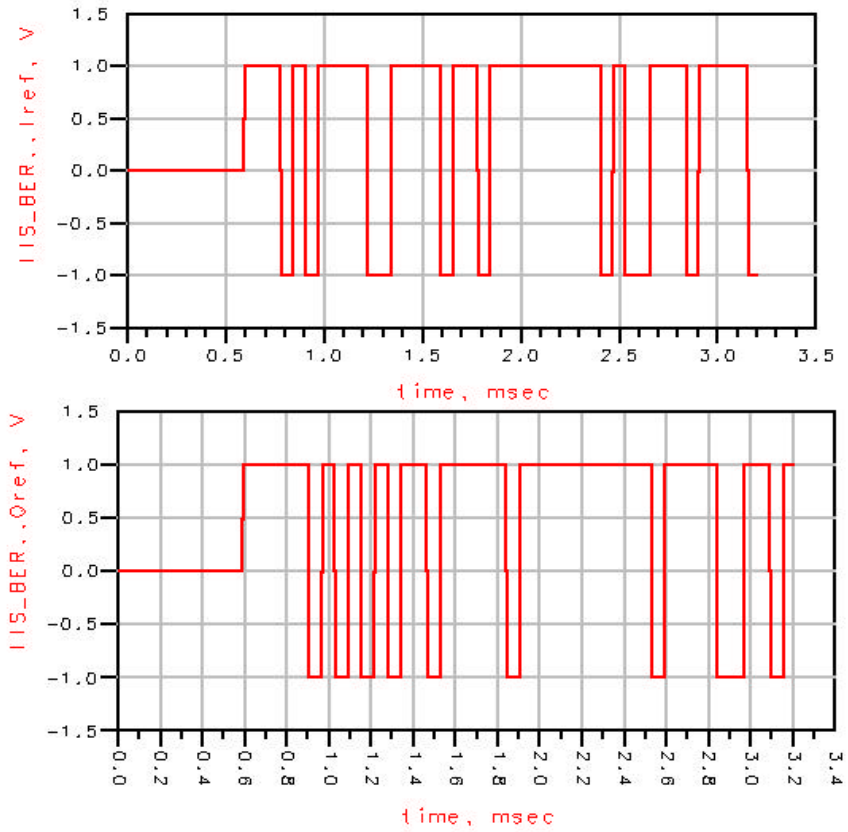

그림 4-8. QPSK I/Q 채널 입력 데이터

Fig. 4-8. QPSK I/Q channels input data

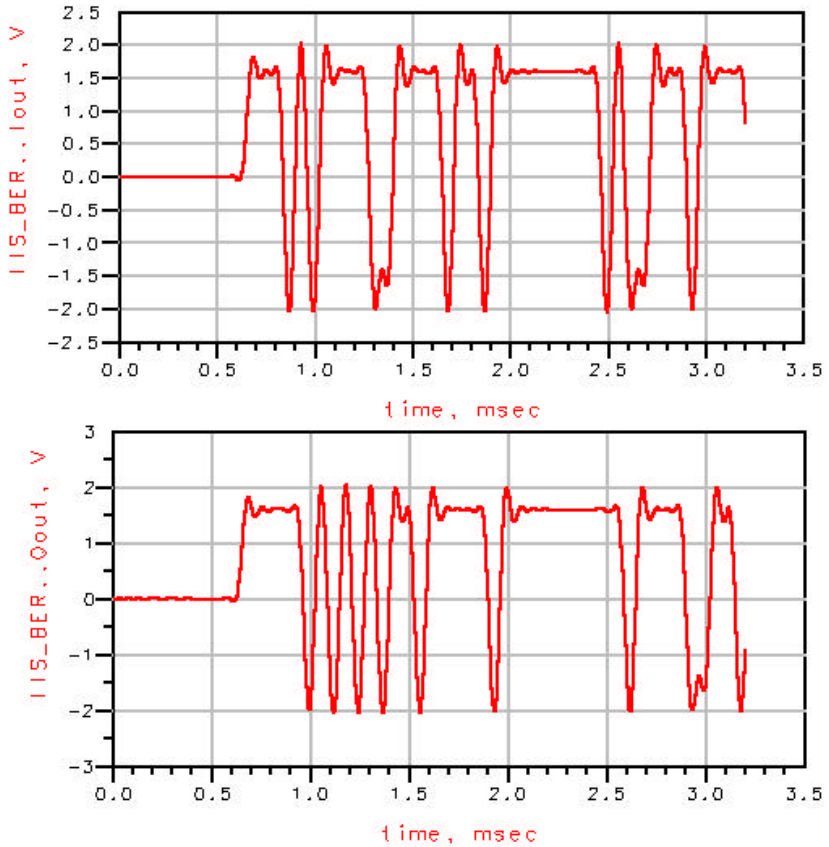

그림 4-9. QPSK I/Q 채널 출력 데이터

Fig. 4-9. QPSK I/Q channels output data

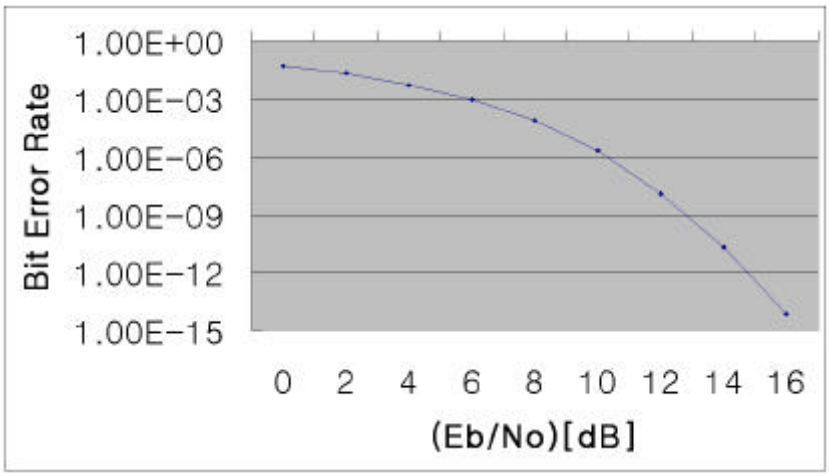

그림 4-10. AWGN만의 영향을 받은 QPSK BER 곡선

Fig. 4-10. QPSK BER curve, only affected by AWGN

그림 4-10에서 보는 바와 같이 비트 오류율 10^{-6}에서 E_b/N_0가 약 10.5 dB정도 임을 알 수 있다. 다음으로, 위상 잡음 레벨에 따른 QPSK 비트 오류 확률에 대해 알아 보면 우선, 위상 잡음이 표 2와 같을 때, 이것을 각 레벨에 따라 나타내면 그림 4-11과 같다.

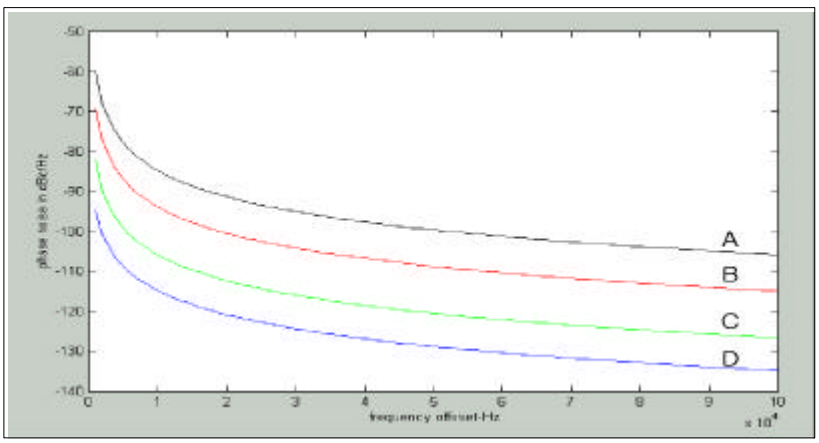

그림 4-11. 위상 잡음 레벨

Fig. 4-11. Phase noise levels

표 2. 10 kHz 오프셋 주파수에서 위상잡음 레벨

Table 2. Phase noise levels at 10 kHz offset frequency

	A	B	C	D
10KHz offset 주파수에서 위상잡음(dBc/Hz)	-85	-95	-105	-115

이 정보를 이용하여 ADS를 적용하여 각각의 위상 잡음 레벨이 QPSK 시스템에 어느 정도 성능 저하를 야기하는지에 대해 알아보면 표 3과 같다.

표 3. 위상 잡음 레벨에 따른 BER

Table 3. BERs in accordance with phase noise levels

	A	B	C	D	only AWGN
비트에러율(10^{-6}) E_b/N_0(dB)	≈12.4	≈10.10	≈10.9	≈10.8	≈ 10.2

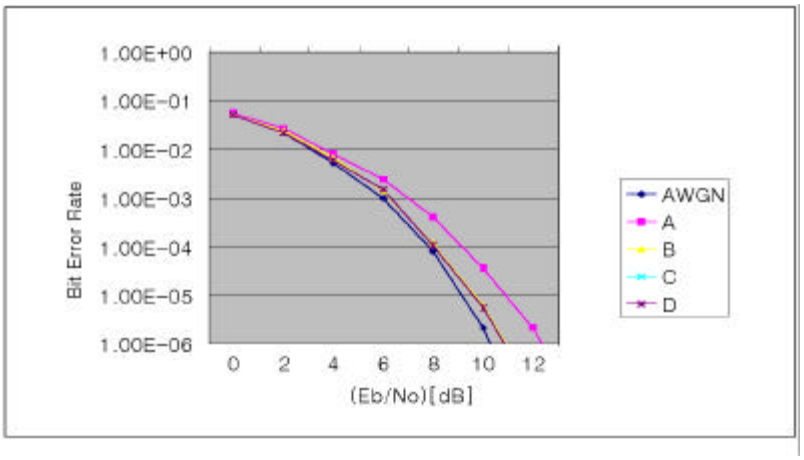

그림 4-12. 위상 잡음 레벨에 따른 BER 곡선

Fig. 4-12. BER curves for different phase noise levels

표 3을 도식적으로 표현하면 그림 4-11과 같고, 결과적으로 위상잡음 레벨이 10 KHz 오프셋 주파수에서 -95 dBc/Hz 이하일 때 그

영향은 근사적으로 같게 됨을 알 수 있고 10 KHz 오프셋 주파수에서 -85 dBc/ Hz의 위상 잡음 레벨의 영향을 받은 것의 비트 오류율이 AWGN만의 영향을 고려한 비트 오류율 보다 약 2.2 dB정도 시스템 성능 저하를 야기함을 알 수 있다.

4.2 64 QAM 시스템

현대 디지털 통신 시스템은 고차의 직교 진폭 변조(QAM)을 많이 사용하고 있다. 시스템 성능을 저하시키는 요소는 크게 두가지로 나눌 수 있다. 하나는 AWGN이고 다른 하나는 위상 잡음이다. 이 위상 잡음은 시스템 성능을 저하시키는 주요 요인이다. 위상 잡음은 발진기와 변조된 신호를 변이 (translation)하는 역할을 하는 국부 발진기의 주파수 합성기에서 주로 발생하며 동기 방식 수신기의 반송파 복원 PLL 입력의 AWGN에 의해 발생된다. 또한 밀집한 성상을 갖는 고차원일수록 위상 잡음의 영향은 커지게 된다. 수신단에서 심볼을 결정하는데 영향을 미치는 위 두가지 위상 잡음에 대한 통계적 과정과 판별 에러에 대한 무조건 확률은 각각 식 (4.7)과 식 (4.8)과 동일하다.

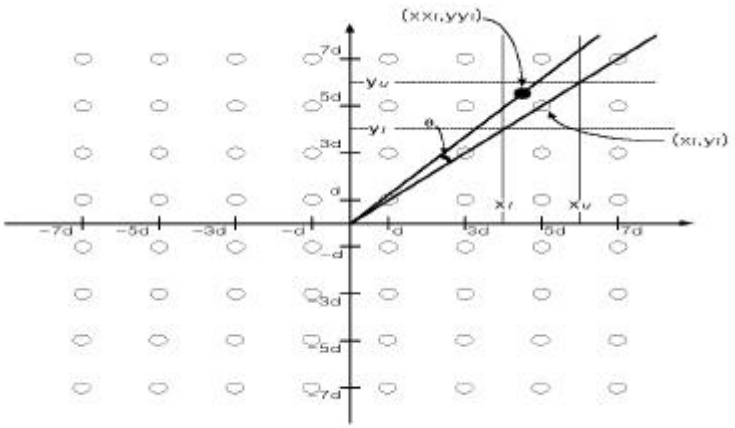

그림 4-13. i에 대한 심볼 에러 확률

Fig. 4-13. Probability of symbol error for i

그림 4-13에서 i번째 심볼이 에러가 날 확률은

$$P_{si}[\varepsilon] = P_r[x_u < x_i + n_x < x_l] + P_r[y_u < y_i + n_y < y_l] \quad (4.9)$$

단,

x_u = x 방향 upper boundary

x_l = x 방향 lower boundary

y_u = y 방향 upper boundary

y_l = y 방향 lower boundary

n_x = x 방향 잡음 섭동

n_y = y 방향 잡음 섭동

여기서,

$$P_r[x_u < x_i + n_x < x_l] = P_r[n_x > x_u - x_i] + P_r[n_x > x_i - x_l] \quad (4.10)$$

이고,

$$P_r[n_x > x_u - x_i] = \int_{x_u - x_l}^{\infty} \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{l^2}{2\sigma^2}} dl \quad (4.11)$$

이다[9].

원 신호의 심볼 좌표 (x_i, y_i)는 잡음의 영향을 받아 새로운 좌표 (xx_i, yy_i)로 이동하게 된다. 신호의 성상도가 정방형을 이루고 있으므로 Cartesian 좌표를 이용하면 다음과 같다.

$$xx_i = \sqrt{x_i^2 + y_i^2}\left[\cos\left[\tan^{-1}\left(\frac{y_i}{x_i}\right)\right]\cos(\theta) - \sin\left[\tan^{-1}\left(\frac{y_i}{x_i}\right)\right]\sin(\theta)\right] \quad (4.12)$$

$$yy_i = \sqrt{x_i^2 + y_i^2}\left[\sin\left[\tan^{-1}\left(\frac{y_i}{x_i}\right)\right]\cos(\theta) + \cos\left[\tan^{-1}\left(\frac{y_i}{x_i}\right)\right]\sin(\theta)\right] \quad (4.13)$$

식 (4-12), (4-13)를 식 (4-9)에 대입하면 위상 에러 θ에 대한 조건부 에러 확률을 구할 수 있고 식 (4-8)에 대입하면 i번째 심볼에 대한 심볼 에러 확률을 구할 수 있다. 또한 64개의 심볼들이 똑같은 발생 확률(equally probable)을 가진다면 전체 에러 확률은 다음과 같다.

$$P_s = \frac{1}{M}\sum_{i=0}^{M-1} P_{si} \quad (4.14)$$

단, M=64

먼저, 발진기에서 발생한 위상 잡음을 시뮬레이션에 의해 측정한 결과는 다음과 같다.

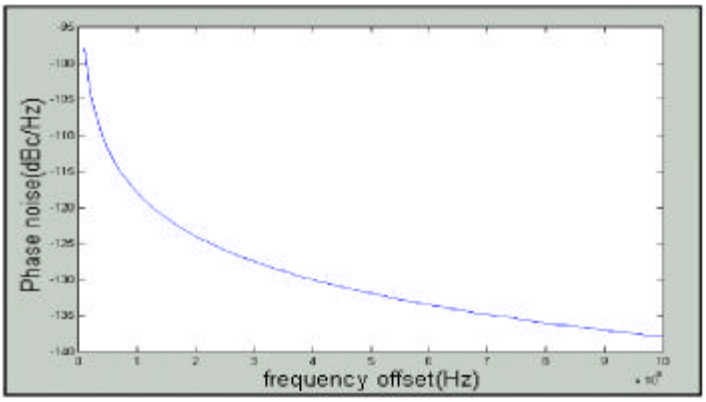

그림 4-14. 11단 링 발진기의 위상 잡음

Fig. 4-14. Phase noise of 11-stage ring oscillator

표 4. 11단 링 발진기의 위상 잡음

Table 4. Phase noise of 11-stage ring oscillator

offset frequency (kHz)	0.6	1	10	100	1000	10000
SSB noise density (dBc/ Hz)	-54	-58	-78	-98	-118	-138

16 kbps 보다 더 높은 데이타율을 가진 시스템의 변·복조기는 HPF 처럼 동작하므로 발진기에서 발생하는 인접 위상 잡음을 효과적으로 제거할수 있다. 즉, 반송파 복원 회로는 기준 반송파를 입력 신호의 평균 위상으로부터 재생성 해내므로 반송파 복원 루프의 대역폭 내에 존재하는 느린 위상 변동은 tracked- out 된다. 하지만, 대역폭 밖에 존재하는 빠른 위상 변동은 그렇지 못하므로 원하는 신호 또는 심볼의 변동과 구분이 되지 않고 올바른 신호를 검출하는데 어려움을 겪게 한다. 일반적으로 많이 이용되는 반송파 복원 회로가 1차 또는 2차 루프일 때 근사적으로 대역폭은 데이타율의 2%를 갖게 된다[10]. 따라서, 본 연구에서 적용한 64 kbps 데이타율에 대한 복조기의 효율적인 대역폭을 근사적으로 1.2 kHz로 두면 복조기는 600 Hz 이하의 오프셋 주파수에서 인접 위상 잡음을 제거할 수 있으므로 600 Hz 이상 오프셋 주파수에서 위상 잡음을 고려하면 된다. 수치 적분을 이용하여 위상 잡음을 600 Hz 10 MHz까지 적분을 수행하여 전체 잡음 전력을 구하고 r.m.s 위상 지터로 바꾸면 0.082 rad이 되고 이를 degree로 바꾸어 주면 위상 잡음에 의한 위상 에러가 약 4.69 ° 발생한다.

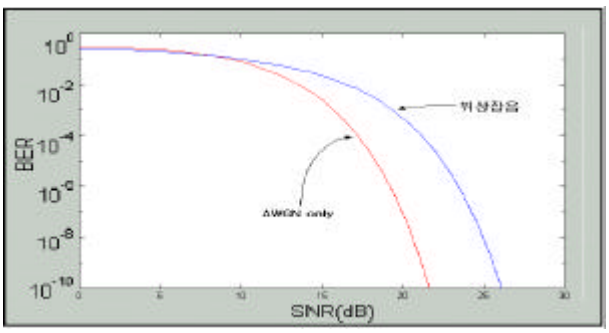

그림 4-15. 위상 잡음의 영향을 받은 BER 곡선

Fig. 4-15. BER curves, affected by phase noise

제 5 장 결론

본 연구에서는 약간의 가정을 두어 기존에 계속 사용해왔던 선형 시불변 위상 잡음 모델보다 더 정확히 잡음을 예측 할수 있는 선형 시변 위상 잡음 모델을 이용하여 발진기 출력 파형이 대칭일 경우와 비대칭일 경우 발생하는 주파수 합성기에서의 위상 잡음을 분석하였다. 또한, QPSK 시스템에서 이론적인 분석과 HP-ADS를 이용한 결과를 각각 제시하여 HP-ADS를 이용한 시뮬레이션 결과가 타당함을 보였고 주파수 합성기의 위상 잡음이 64 QAM 시스템에 어느 정도 성능 저하를 야기하는지에 대해 분석하였다.

구체적으로, PLL 주파수 합성기의 위상 잡음 및 임펄스 응답 특성을 저속 주파수 도약 시스템에 적용하기 위해 먼저 QPSK 변조 방식에 관해 이론적으로 고찰하는 과정을 가졌으며 ADS를 이용하여 QPSK 시스템을 디자인 해보고 송•수신단에서 입•출력 데이터와 시스템 성능을 분석하였으며 위상 잡음을 수신단에 주입하여 위상 잡음 레벨에 따른 시스템 성능을 비교, 분석하기 위해 AWGN 잡음만 고려한 시스템과 성능을 비교하였다. 10 kHz 오프셋 주파수에서 위상 잡음레벨을 -85 dBc, -95 dBc, -105 dBc, -115 dBc로 각각 시스템에 부가하여 BER을 측정한 결과 -105 dBc 이하의 위상 잡음레벨은 근사적으로 AWGN만을 고려한 것과 차이가 없으므로 BER에 크게 영향을 미치지 못함을 알 수 있었다. 또한, 위상 잡음의 영향을 받은 QPSK와 64 QAM 변조 방식을 AWGN만 고려한 것과 각각 비교 하여 보았을 때 QPSK 변조 방식의 경우 10 kHz 오프셋 주파수에서 -85 dBc/ Hz 의 위상 잡음의 영향을 받은 경우와 AWGN의 영향만을 받았을 경우와 비교하였을 경우 약 2 dB정도 E_b/N_0가 저하되었으며 64 QAM의 경우는 E_b/N_0 가 약 4 dB 정도 저하됨을 확인하였다.

향후, 링 발진기를 시뮬레이션 프로그램을 이용해서 구현 해보고 이때 발생하는 위상 잡음을 본 연구에 제시된 내용과 비교, 분석해보고 비선형적으로 시간에 따라 변화하는 위상 잡음 모델에 관한 연구가 요구된다.

참고문헌

[1] D. B. Leeson, "A simple model of feedback oscillator noise spectrum," *Proc. IEEE,* vol. 54, pp. 329-330, Feb. 1966

[2] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits,* vol. 31, pp. 331-343, Mar. 1996.

[3] A. Hajimiri, T. H. Lee and T. H. Lee, *The design of Low Noise Oscillators,* KAP, 1999.

[4] J. Craninkx and Michiel Steyaert, "Low-Noise Voltage-Controlled Oscillators Using Enhanced LC-Tanks," *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing,* vol. 42, No. 12, pp. 794-804, Dec. 1995.

[5] M. K. Nezami, "Evaluate The Impact Of Phase Noise On Receiver Performance," *Microwaves & RF,* pp. 165-172, May 1998.

[6] S. A. Rhodes, "Effect of Noisy Phase Reference on Coherent Detection of Offset-QPSK Signals," *IEEE Transactions on Communications,*" vol. COM-22, No. 8, pp. 1046-1055, Aug. 1974.

[7] A. Papoulis, *Probability, Random Variables, and Stochastic Processes,* New York, McGraw-Hill , 1984.

[8] F. Gardner, *Phaselock Techniques,* New York, John Wiley & Sons, 1979.

[9] J. G. Proakis , *Digital Communications - Third edition,* New York, McGraw-Hill, 1995.

[10] M. Kolber, "Predict Phase-Noise Effects In Digital Communication Systems," *Microwaves & RF,* pp. 59-70, May 1998.

감사의 글

제어계측공학에서 전파공학으로 전과하면서 언제나 모자랐던 저에게 따뜻한 관심과 애정어린 채찍질을 해주신 조형래 교수님께 먼저 깊은 감사 드립니다. 또한, 부족하기만 한 논문에 사랑을 담아주신 김동일 교수님, 민경식 교수님과 언제나 곁에 계셔주신 정지원 교수님, 김기만 교수님, 강인호 교수님 그리고 오용선 교수님께도 머리 숙여 감사를 드립니다.

지금의 모습이 있을수 있게 옆에서 항상 격려를 해주었던 태경이형, 용진이형, 두석이, 많이 싸우기도 했던 경복이형, 형도, 어려운 일이 있을때 묵묵히 도와주었던 문성, 철성이 그리고 대전에서 열심히 일하고 있을 진성이와 실험실 막내 민지에게도 고마움을 전합니다. 또한, 부족한 부분을 많이 도와주었던 대환이형, 치환이형, 현욱이형, 종구, 하근, 주현이 그리고 언제나 관심을 가져주신 제어계측공학과 교수님들과 재롱을 자혜롭게 받아주신 군호형과 영일이 형, 진규형, 준환이형과 동기애를 알게 해준 제어계측 92학번 동기들에게도 작은 사랑을 전합니다.

끝으로, 막둥이에게 한없는 믿음과 넉넉함을 베풀어주신 아버님, 어머님께 깊은 감사드리고 든든한 버팀목이 되어준 형과 형수님 그리고 누나들에게도 고마움을 전합니다. 또, 지금 어딘가에서 묵묵히 저를 바라봐 주시는 모든분들과 이 기쁨을 함께 하고 싶습니다.