

공학석사 학위논문

RF 전력증폭기의 온도 보상을 위한 능동
바이어스 회로의 구현 및 특성 측정

Implementation and Evaluation of Active Biasing
Circuit for Temperature Compensation of RF Power
Amplifier

지도교수 남 청 도

2007 년 2 월

한국해양대학교 해사산업대학원

전기·전자·제어공학과

이 상 규

목 차

목 차	i
표 차 례	iii
그 림 차 례	iv
Abstract	vi
제 1 장 서 론.....	1
1.1 연구 배경	1
1.2 연구 목적	2
제 2 장 초고주파 전력증폭기의 기본이론	4
2.1 전력이득	4
2.2 안정성	8
2.3 증폭기의 잡음	12
2.4 비선형 특성	15
제 3 장 온도 보상용 능동 바이어스 회로 설계	18
3.1 MRF-21060 소자의 특성	18
3.2 LDMOS FET 전력증폭기의 바이어스	20
3.3 능동 바이어스 회로 설계	23
3.4 구동 증폭단의 설계	26
3.5 5 Watt 단위 이득 증폭기	31

제 4 장 전력증폭기용 온도 보상회로의 제작 및 측정	34
4.1 온도 보상용 능동 바이어스 회로의 제작	34
4.2 특성 측정 및 평가	35
제 5 장 결 론	39
참 고 문 헌	40

표 차 례

표 3-1. 구동증폭단의 설계 사양	26
표 3-2. 5 Watt 단위 전력증폭기의 설계 사양	32

그 립 차 례

그림 2-1. 트랜지스터 증폭기 회로	4
그림 2-2. 단방향성 변환전력이득	7
그림 2-3. Γ_L 평면에서 안정 영역과 불안전 영역을 설명하는 스미스도표	11
그림 2-4. Γ_s 평면에서 안정 영역과 불안전 영역을 설명하는 스미스도표	11
그림 2-5. 잡음 회로망의 잡음지수	12
그림 2-6. 2단 증폭기의 잡음지수와 등가 잡음온도	13
그림 2-7. 증폭기의 P_{1dB} , IP_3 및 동적영역	17
그림 3-1. MRF-21060 전력-IMD 특성	18
그림 3-2. 온도에 따른 드레인 전류 대 게이트 전압	19
그림 3-3. 다이오드를 이용한 온도 보상 회로도	20
그림 3-4. 열 센서를 이용한 온도 보상 회로도	21
그림 3-5. 동일 소자를 이용한 온도 보상 회로도	22
그림 3-6. 온도 보상용 능동 바이어스 회로	23
그림 3-7. 가변저항변화에 따른 바이어스 전압	24
그림 3-8. 온도변화에 따른 바이어스 전압	25
그림 3-9. 설계된 능동 바이어스 회로도	25
그림 3-10. 구동 증폭단의 구성도	26
그림 3-11. AH1 회로도	27
그림 3-12. AH1 회로의 시뮬레이션 결과	28
그림 3-13. 평형 증폭기의 개념도	28
그림 3-14. AH11 회로도	30
그림 3-15. AH11 회로의 시뮬레이션 결과	30
그림 3-16. MRF-21060 회로도	31
그림 3-17. MRF-21060 단위 증폭기의 시뮬레이션 결과	33

그림 4-1. 구동증폭단의 사진	34
그림 4-2. 온도 보상용 능동 바이어스가 포함된 5 Watt 전력증폭기의 사진	34
그림 4-3. 제작된 5 Watt 전력증폭기의 이득 및 위상 특성	35
그림 4-4. 제작된 5 Watt 전력증폭기의 입·출력 반사계수	36
그림 4-5. 전력증폭기의 출력특성 측정 시스템 구성도	36
그림 4-6. 제작된 전력증폭기의 출력 특성	37
그림 4-7. 시간에 따른 온도 변화	38
그림 4-8. 시간에 따른 소모 전류의 변화	38

Abstract

In this paper, the power amplifier using active bias circuits for LDMOS(Lateral Diffused Metal Oxide Semiconductor) MRF-21060 is designed and fabricated. According to change the temperature, the gate voltage of LDMOS is controlled by the fabricated active bias circuits, which is made of PNP transistor to suppress drain current. The driving amplifier using AH1 and parallel power amplifier AH11 is made to drive the LDMOS MRF-21060 power amplifier.

The variation of current consumption in the fabricated 5 Watt power amplifier has an excellent characteristics of less than 0.1 A, whereas passive biasing circuit dissipate more than 0.5 A. The implemented power amplifier has the gain over 12 dB, the gain flatness of less than ± 0.09 dB and input and output return loss of less than -19 dB over the frequency range 2.11 ~ 2.17 GHz. The DC operation point of this power amplifier at temperature variation from 0 °C to 60 °C is fixed by active bias circuit.

제 1 장 서 론

1.1 연구 배경

최근 가입자 및 그 이용량이 폭발적으로 증가하고 있는 PCS, Cellular 및 IMT-2000 등의 이동통신 서비스를 비롯해서 현대 문명의 핵심이라 할 수 있는 정보화 시대가 전개되고 있으며, 무선통신 기술은 이의 근간을 이루고 있다. 무선통신은 전파를 매개체로 한다는 특성 때문에 공간상 제약의 극복, 설비의 경제성과 이용 가능성의 증대 등으로 무선 서비스의 수요가 증가하고 있는 추세에 있고 이에 따라서 무선 설비의 수요도 증가하고 있다[1].

미래의 통신망은 정보의 고속도로라 할 수 있는 광대역 종합 디지털 통신망(B-ISDN) 시대라 할 수 있으며, 음성 위주의 통신으로부터 멀티미디어 통신으로 변천 되어가고 있다. 멀티미디어 정보는 마이크로웨이브 디지털 통신 시스템이나 위성통신 시스템, 그리고 PCS 및 셀룰러 통신 시스템 등에 의해 전송되고 있다. 이러한 통신 시스템뿐만 아니라 항공 통신 시스템, 미사일 전자장비 및 레이더 시스템 등에 사용되는 모든 마이크로웨이브 통신기기에는 수신단의 저잡음증폭기(Low Noise Amplifier; LNA)를 비롯해서, 송신단의 고출력증폭기(High Power Amplifier; HPA)가 반드시 필요하게 된다[2].

또한 최근에 개발된 영상압축 기술은 광대역이던 기존의 대역폭을 수백 KHz까지 감소시킴으로써 대량의 영상을 고속으로 전송할 수 있게 하였고, 이러한 기술의 개선 및 발전은 화상회의 등의 서비스가 보편화될 것이다. 이러한 통신 서비스는 주로 초고주파 즉, 이동 통신을 비롯한 위성통신과 장거리 마이크로웨이브 링크 등을 통하여 이루어지므로 통신시스템 송신단의 고출력 증폭기의 수요가 늘어날 수 밖에 없다[3].

이에 따라 소형이며, 기능이 다양하고 복잡한 시스템 및 부품 개발이 진행되고 있다. 특히, 정보화 시대의 주도적인 역할을 하고 있는 이동통신 서비스가 날로 다양화와 고품질화 되어 감에 따라서 우수한 특성을 갖는 RF 소자의 개발이 요구되고 있는 시점에서 고출력증폭기와 같은 부가가치가 높은 소자의 응용기술 확보는 필연적이라 할 수 있을 것이다.

1.2 연구 목적

현대 사회는 정보량의 급증에 따라 대량의 정보를 빠르고 신속하게 처리할 수 있는 통신방법을 필요로 하고 있다. 이러한 요구에 부응하게 위해 IMT-2000이라는 제 3세대 이동통신을 이용하여 대량의 정보를 고속으로 교환할 수 있는 이동통신 시스템이 상용화 준비 중에 있다.

IMT-2000 시스템을 구성하는 무선 설비에는 개인 휴대용 단말기, 기지국 및 중계기 등이 있으며, 특히 미약한 신호를 증폭하여 송출하는 기지국 및 중계기에는 선형성이 우수한 고출력증폭기가 필요하다. 이러한 초고주파 전력증폭을 위해 사용되고 있는 고출력증폭기로 현재 LDMOS(Lateral Double-diffused MOS)를 널리 사용하고 있다.

LDMOS와 같은 초고주파용 전력증폭소자는 적절한 동작점을 설정하여 전압 및 전류를 공급하여야 하는데, 이러한 바이어스 방법으로는 구성된 소자에 의해 수동 바이어스(Passive bias)회로와 능동 바이어스(Active bias) 회로로 구분된다. 수동 바이어스 회로는 트랜지스터나 다이오드 등의 능동소자를 사용하지 않고, 수동소자만으로 필요한 전압과 전류를 LDMOS에 공급하는 회로를 말한다. 수동 바이어스 회로는 간단하게 구현되지만 온도에 따라 동작점이 바뀌는 단점을 가지고 있다. 반면, 능동 바이어스 회로는 공급되는 전원이 다소 변하거나 온도 변화와 같은 주위의 환경이 변하더라도 일정한 전압과 전류를 소자에 공급할 수 있도록 트랜지스터나 다이오드 등과 같은 능동 소자를 사용하여 구성된 회로를 말하며 정전압 회로와 정전류 회로로 세분화된다[4].

초고주파 전력증폭기를 설계하고 제작하기 위해서는 Power Transistor에 적절한 DC 바이어스를 통하여 전원을 공급하는 것이 필요하다. 하지만 높은 출력을 갖는 고출력 전력증폭기의 경우 Power Transistor에서 높은 열이 발생하여 DC 바이어스 전압이 변화되므로 능동 바이어스 방법이 적합하다[5],[6].

능동 바이어스로는 다이오드 또는 온도센서를 사용하는 방법과 증폭기와 동일한 소자를 미리 형태로 구성하는 방법들이 있다. 하지만 다이오드를 사용하면 전압 변화 범위가 한정적이고, 온도 센서 또는 미리 형태는 구성이 복잡하며, 비용이 많이 소요된다.

그러므로 본 논문에서는 능동 바이어스 회로를 적용하기 위하여 초고주파 전력증폭기용 LDMOS MRF-21060 소자로 5 Watt급 전력증폭기를 설계 및 제작하였다. 그리고 MRF-21060 소자에서 발생한 열로 인해 변화되는 전력증폭기의 바이어스 전압을 Motorola사

의 BC847 PNP 트랜지스터를 사용한 저가의 능동 바이어스 회로로 구현하여 전력증폭기의 소모전류 변화량을 최소화 하였다.

제 2 장 초고주파 전력증폭기의 기본이론

마이크로 트랜지스터 증폭기를 설계하는데 가장 중요하게 고려하여야 할 사항은 안정성(Stability), 전력이득, 대역폭(Bandwidth), 잡음, 그리고 DC 바이어스 조건이다.

증폭기가 발진하지 않고 동작하기 위한 증폭기의 안정성은 증폭기를 설계할 때 가장 중요하게 고려하여야 할 사항으로서 S 파라미터, 정합회로망, 종단(Termination) 조건에 의해서 결정될 수 있다. 또 2-포트 회로망에서 입력 또는 출력포트 임피던스가 부정저항(Negative resistor)을 가지면 발진이 일어날 수 있다.

2.1 전력이득

그림 2-1은 마이크로파 트랜지스터 증폭기를 보여주고, 그리고 회로는 입력정합회로, 트랜지스터, 출력정합회로로 구성되어 있다.

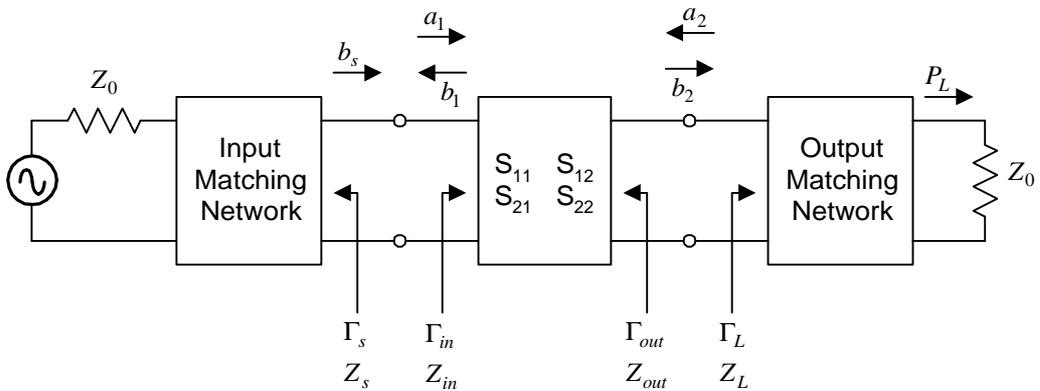


그림 2-1. 트랜지스터 증폭기 회로

트랜지스터 증폭기회로의 2-포트 회로망의 입력 포트와 출력 포트 사이에서 입사파와 반사파의 관계는

$$b_1 = S_{11}a_1 + S_{12}a_2 \quad (2-1)$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \quad (2-2)$$

$$a_1 = b_s + \Gamma_s b_1 \quad (2-3)$$

$$a_2 = b_L \Gamma_L \quad (2-4)$$

식(2-1)과 식(2-2)는 2-포트 회로망인 트랜지스터 S파라미터의 정의로부터 얻어지고, Γ_s 와 Γ_L 은 각각 트랜지스터로부터 전원측과 부하측의 반사계수이다. 식(2-1)에서 식(2-4)로부터

$$\frac{b_2}{b_s} = \frac{S_{21}}{1 - \Gamma_s S_{11} - S_{22} \Gamma_L + S_{11} S_{22} \Gamma_s \Gamma_L - S_{12} S_{21} \Gamma_s \Gamma_L} \quad (2-5)$$

이다.

변환전력이득(Transducer Power Gain)은

$$G_T = \frac{\text{부하에 공급된 전력}}{\text{전원으로부터 가용할수 있는 전력}} = \frac{P_L}{P_{avs}} \quad (2-6)$$

이고, 부하에 공급된 전력은 식(2-7)과 같다.

$$P_L = |b_2|^2 - |a_2|^2 = |b_2|^2 - |b_2|^2 |\Gamma_L|^2 = |b_2|^2 (1 - |\Gamma_L|^2) \quad (2-7)$$

전원으로부터 가용할 수 있는 전력 P_{avs} 는 회로망에 공급할 수 있는 최대 전력이다. 이와 같은 최대전력은 부하측 회로망의 입력임피던스가 전원임피던스 Z_s 의 공액복소수와 같을 때 얻을 수 있다. 그림 2-1로부터 이것은 $\Gamma_m = \Gamma_s^*$ 을 의미한다. 즉, 가용최대전력은

$$P_{avs} = \frac{|b_s|^2}{1 - |\Gamma_s|^2} \quad (2-8)$$

이다.

그러므로 변환전력이득은 트랜지스터의 S파라미터, Γ_s 와 Γ_L 의 함수로 식(2-9)와 같이 표현되어진다.

$$G_T = \frac{|S_{21}|^2 (1 - |\Gamma_s|^2)(1 - |\Gamma_L|^2)}{|(1 - \Gamma_s S_{11})(1 - S_{22} \Gamma_L) - S_{12} S_{21} \Gamma_s \Gamma_L|^2} \quad (2-9)$$

식(2-1)에서 식(2-5)로부터 Γ_{in} 과 Γ_{out} 은

$$\Gamma_{in} = \frac{b_1}{a_1} = S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L} \quad (2-10)$$

$$\Gamma_{out} \Big|_{b_2=0} = \frac{b_2}{a_2} \Big|_{b_2=0} = S_{22} + \frac{S_{12} S_{21} \Gamma_s}{1 - S_{11} \Gamma_s} \quad (2-11)$$

이다.

만약, $\Gamma_L = 0$ (정합부하) 혹은 $S_{12} = 0$ (단방향성 트랜지스터)이라면 $\Gamma_{in} = S_{11}$ 이다. 식(2-10)과 식 (2-11)을 이용하면 식(2-9)은

$$G_T = \frac{1 - |\Gamma_s|^2}{|1 - \Gamma_{in} \Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2} \quad (2-12)$$

혹은

$$G_T = \frac{1 - |\Gamma_s|^2}{|1 - S_{11} \Gamma_s|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_{out} \Gamma_L|^2} \quad (2-13)$$

이다.

마이크로파 트랜지스터 증폭기는 그림 2-2와 같이 3개의 다른 이득(혹은 손실) 블록으로 구성된다. 비록, G_s 와 G_L 블록이 수동소자로 구성되지만 입·출력 회로의 정합 혹

은 부정합에 의해 발생한 이득 혹은 손실이 될 수 있다.

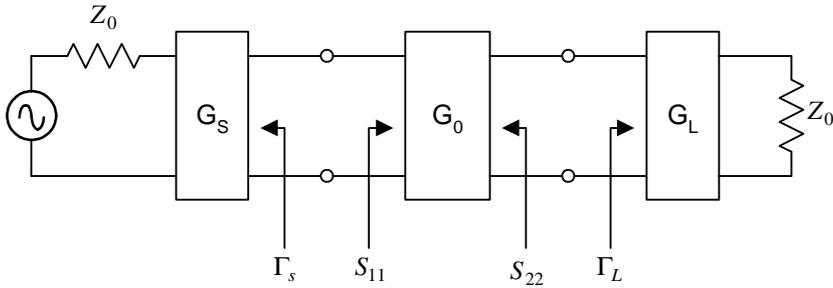


그림 2-2. 단방향성 변환전력이득

각 블록의 이득을 dB의 단위로 표기하면 식(2-14)와 같다.

$$G_{Tn}(dB) = G_s(dB) + G_0(dB) + G_L(dB) \quad (2-14)$$

변환전력이득은 입출력 정합회로망을 최적화 시킴으로써 최대가 된다. 즉,

$$\Gamma_s = S_{11}^* = \Gamma_{in}^* \quad (2-15)$$

$$\Gamma_L = S_{22}^* = \Gamma_{out}^* \quad (2-16)$$

이다.

만약 $G_s = G_{s,max}$ 와 $G_L = G_{L,max}$ 를 가진다면 G_{Tn} 는 최대가 되고, 그때

$$G_{Tn,max} = \frac{1}{1 - |S_{11}|^2} |S_{21}|^2 \frac{1}{1 - |S_{22}|^2} \quad (2-17)$$

이다.

2.2 안정성

증폭기가 발진하지 않고 동작하기 위한 증폭기의 안정성은 증폭기를 설계할 때 가장 중요하게 고려하여야 할 사항으로서 S파라미터, 정합회로망, 종단 조건에 의해서 결정될 수 있다.

그림 2-1에 보인 2-포트 회로망에서 입력 또는 출력포트 임피던스가 부정(Negative) 저항을 가지면 발진이 일어날 수 있다. 이는 $|\Gamma_{in}| > 1$ 이거나 $|\Gamma_{out}| > 1$ 임을 의미한다. Γ_{in} 과 Γ_{out} 은 전원과 부하의 정합회로에 의존하기 때문에 증폭기의 안정도도 정합회로를 나타내는 Γ_s 와 Γ_L 에 의존한다. 따라서 FET와 같은 단방향성 소자에서는 $|S_{11}| > 1$ 또는 $|S_{22}| > 1$ 일 때 발진이 일어난다.

안정도를 판단하는 방법으로 다음과 같은 방법이 있다.

1) 반사계수를 이용한 안정도 확인

(1) 무조건 안정한 경우

주어진 주파수에서 모든 전원 임피던스와 부하임피던스($|\Gamma_s| < 1$, $|\Gamma_L| < 1$)에 대하여 $|\Gamma_{in}| < 1$ 이고 $|\Gamma_{out}| < 1$ 인 회로망은 무조건 안정하다. 즉, 반사계수로 표현하면

$$|\Gamma_s| < 1$$

$$|\Gamma_L| < 1$$

$$|\Gamma_{in}| = \left| S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L} \right| < 1$$

$$|\Gamma_{out}| = \left| S_{22} + \frac{S_{12} S_{21} \Gamma_s}{1 - S_{11} \Gamma_s} \right| < 1 \quad (2-18)$$

이다.

(2) 조건부 안정한 경우

주어진 주파수에서 일정한 범위의 전원 임피던스와 부하 임피던스에 대해서만 $|\Gamma_{in}| < 1$ 이고 $|\Gamma_{out}| < 1$ 인 회로망은 조건부 안정하다.

2) Stern의 안정한 경우

수학적으로 안정성을 표현하는 해석적 정의인 K 계수가 식(2-19)와 식(2-20)을 동시에 만족시키면 무조건적 안정인 경우를 나타내며, 동시에 두 식을 만족시키지 못하면 조건부 안정인 경우이다.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1 \quad (2-19)$$

이때 산란행렬식은

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (2-20)$$

이다.

3) 안정도 판별 원을 이용한 안정조건의 확인

안정조건을 확인하는데 이용되는 안정도 판별 원은 소자의 주파수에 따른 산란 계수로 부터 계산되어지며 식(2-21)와 식(2-22)으로 표현되어진다.

$$\left| \Gamma_L - \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \right| = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |\Delta|^2} \right| \quad (2-21)$$

$$\left| \Gamma_s - \frac{(S_{11} - \Delta S_{22}^*)^*}{|S_{11}|^2 - |\Delta|^2} \right| = \left| \frac{S_{12} S_{21}}{|S_{11}|^2 - |\Delta|^2} \right| \quad (2-22)$$

그러므로 $|\Gamma_m|=1$ 에 해당하는 출력 안정원은 Γ_L 평면상에서 반지름이 식(2-23)과 중심이 식(2-24)으로 표현되는 원주 위에 존재한다.

$$\text{Radius} = r_L = \left| \frac{S_{12} S_{21}}{|S_{22}|^2 - |\Delta|^2} \right| \quad (2-23)$$

$$\text{Center} = c_L = \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \quad (2-24)$$

$|\Gamma_{out}|=1$ 에 해당하는 입력 안정원은 $\text{Re}\{Z_L + Z_{out}\} > 0$ 평면상에서 반지름이 식(2-25)과 중심이 식(2-26)로 표현되는 원주 위에 존재한다.

$$\text{Radius} = r_s = \left| \frac{S_{12} S_{21}}{|S_{11}|^2 - |\Delta|^2} \right| \quad (2-25)$$

$$\text{Center} = c_s = \frac{(S_{11} - \Delta S_{22}^*)^*}{|S_{11}|^2 - |\Delta|^2} \quad (2-26)$$

스미스 도표에서 안정영역을 판단하기 위하여 $Z_L = Z_0$ 일 때, $\Gamma_L = 0$ 이므로 $|S_{11}| < 1$ 이면 $|\Gamma_m| < 1$ 이다. 즉, $\Gamma_L = 0$ 인 경우 $|\Gamma_m| < 1$ 이므로 그림 2-3에 보인 스미스도표의 중심은 안정한 동작점을 나타낸다. 따라서 $|\Gamma_m|=1$ 인 원 밖이 안정영역이다. 반면에 만약 $Z_L = Z_0$ 일 때 $|S_{11}| > 1$ 이면 $\Gamma_L = 0$ 일 때 $|\Gamma_m| > 1$ 이므로 스미스도표의 중심은 불안정한 동작점을 나타낸다. 따라서 $|\Gamma_m|=1$ 인 원 안이 안정한 영역이다.

그림 2-3은 위에서 설명한 두 경우를 설명하는 그림이다. 사선을 그은 부분이 안정하게 동작하는 Γ_L 의 영역을 나타낸다. 마찬가지로 그림 2-4은 Γ_s 의 안정영역과 불안정 영역을 보여주는 설명도이다. 주어진 소자가 모든 전원 임피던스와 부하임피던스에 대해

여 무조건 안정하기 위해서는 안정 원이 완전히 스미스 도표 밖에 존재해야 한다.
이를 수학적으로 설명하면 다음과 같다.

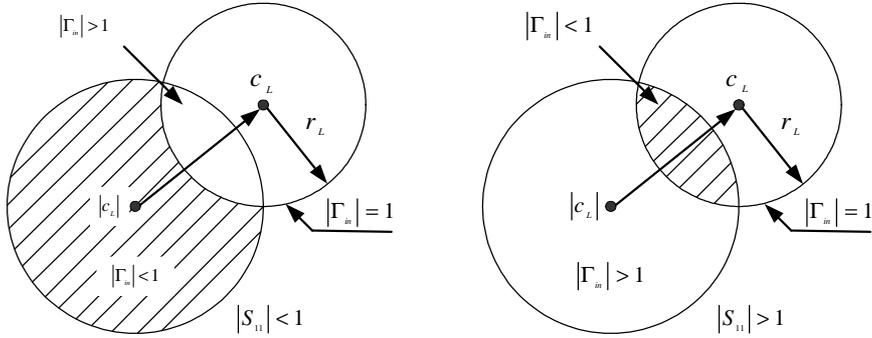


그림 2-3. Γ_L 평면에서 안정 영역과 불안정 영역을 설명하는 스미스도표

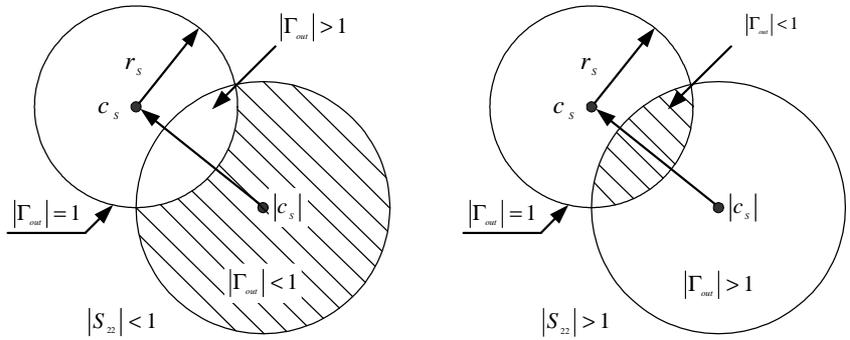


그림 2-4. Γ_s 평면에서 안정 영역과 불안정 영역을 설명하는 스미스도표

$$|S_{11}| < 1 \text{ 인 경우, } \|c_L - r_L\| > 1 \quad (2-27)$$

$$|S_{22}| < 1 \text{ 인 경우, } \|c_s - r_s\| > 1 \quad (2-28)$$

만약 $|S_{11}| > 1$ 이거나 또는 $|S_{22}| > 1$ 이면 $\Gamma_L = 0$ 혹은 $\Gamma_s = 0$ 으로 중단되면 $|\Gamma_{in}| > 1$ 또는 $|\Gamma_{out}| > 1$ 의 원인이 되기 때문에 회로망은 불안정하다.

2.3 증폭기의 잡음

마이크로파 증폭기의 설계에서 안정성과 이득 원 외에 다음으로 고려해야 할 중요한 사항은 잡음이다. 잡음은 증폭기 자체에서 발생될 수도 있고 또는 외부로부터 유도될 수도 있다. 증폭기에서 발생하는 잡음은 약한 입력신호를 가리게 하고 증폭기의 감도를 제한한다. 마이크로파 증폭기에 있어서 주된 잡음으로는 열잡음(Thermal Noise)과 산탄 잡음(Shot Noise) 등이 있다.



그림 2-5. 잡음 회로망의 잡음지수

잡음지수는 입력측의 신호대잡음비(S_i/N_i)와 출력측의 신호대잡음비(S_o/N_o)의 비로서 다음과 같이 정의한다.

$$F = \frac{S_i/N_i}{S_o/N_o} = \frac{S_i N_o}{S_o N_i} \quad (2-29)$$

정의에 의하면 입력 잡음전력은 $T_0 = 290^\circ K$ 에서 정합저항(Matched Resistor : 잡음이 없는 저항)에 의한 잡음전력이라 가정한다. 즉, $N_i = kT_0 B$ (최대 가용잡음전력)이다. 최소 잡음지수는 증폭기의 전원반사계수를 적절하게 선택함으로써 얻을 수 있다.

증폭기의 대역폭이 B 이고 이득이 G , 등가 잡음온도가 T_e 인 그림 2-5와 같은 잡음 2-포트 회로망에 입력 잡음전력 N_i 와 신호전력 S_i 가 공급되는 경우를 출력 잡음전력은 증폭된 입력잡음과 증폭기 내부에서 발생된 잡음의 합이다. 즉,

$$N_o = KGB(T_o + T_e) \quad (2-30)$$

이다. 여기서 $k = 1.38 \times 10^{-23} \text{ J/}^\circ\text{K}$ (Boltzmann 상수)이고 G 는 증폭기의 이득으로서 출력 신호전력 $S_o = GS_i$ 이다. 이러한 결과를 식(2-29)에 적용하면 잡음지수는

$$F = \frac{S_i}{kT_o B} \frac{kGB(T_o + T_e)}{GS_i} = 1 + \frac{T_e}{T_o} \geq 1 \quad (2-31)$$

이다.

2단 증폭기(Two-stage Amplifier)의 잡음지수를 계산하기 위한 모델을 표시하면 그림 2-6과 같다.

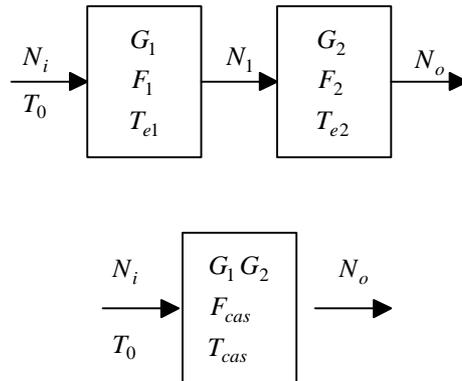


그림 2-6. 2단 증폭기의 잡음지수와 등가 잡음온도

각 증폭기의 출력이득을 G_1 , G_2 라 하고 잡음지수를 F_1 , F_2 라 하며 등가잡음온도를 T_{e1} , T_{e2} 라 하면 첫번째 증폭기의 출력잡음 N_1 은

$$N_1 = G_1 kT_o B + G_1 kT_{e1} B \quad (2-32)$$

이다. 따라서 두번째 증폭기의 출력잡음 N_o

$$N_o = G_2 N_1 + G_2 k T_{e1} B = G_1 G_2 k B (T_0 + T_{e1} + T_{e2}/G_1) \quad (2-33)$$

가 된다. 위 식을 등가 시스템으로 나타내면

$$N_o = G_1 G_2 k B (T_{cas} + T_0) \quad (2-34)$$

이다. 여기서

$$T_{cas} = T_{e1} + T_{e2}/G_1 \quad (2-35)$$

이다. 식(2-35)의 온도를 잡음지수로 바꾸면

$$F_{cas} = F_1 + \frac{1}{G_1} (F_2 - 1) \quad (2-36)$$

가 된다. F_1 과 F_2 는 첫번째단과 두번째단의 개별적 잡음지수로 이를 다단 증폭기에 확장 적용하면 다음과 같은 결과를 얻는다.

$$T_{cas} = T_{e1} + \frac{T_{e2}}{G_1} + \frac{T_{e3}}{G_1 G_2} + \dots \quad (2-37)$$

$$F_{cas} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots \quad (2-38)$$

2.4 비선형 특성

일반적으로 증폭기는 저 전력이 입력되는 영역에서는 출력 신호가 선형적으로 증가하나 입력 전력이 높아질수록 출력의 상대 이득이 감소하는 비선형 특성을 보인다. 이것은 능동 소자의 비선형 특성에 의한 현상으로 비선형 전달 특성을 입력 전압의 크기에 대한 함수로 나타낼 수 있다. 즉, 식(2-39)와 같이 출력 전압 $v_o(t)$ 는 입력 전압 $v_i(t)$ 의 멱급수로 표현할 수 있다.

$$v_o = k_1 v_i + k_2 v_i^2 + k_3 v_i^3 + \dots \quad (2-39)$$

이때 입출력 2단자망이 선형 전달 특성을 갖는다면 $k_j = 0$ ($j \neq 0$) 이 된다. 입력신호 $v_i = A \cos w_1 t$ 라고 하면 식(2-40)처럼 3차 성분까지 사용하여 출력의 비선형 특성을 충분히 표현할 수 있다.

$$\begin{aligned} v_o &= k_1 A \cos w_1 t + k_2 (A \cos w_1 t)^2 + k_3 (A \cos w_1 t)^3 \\ &= \frac{1}{2} k_2 A^2 + (k_1 A + \frac{3}{4} k_3 A^3) \cos w_1 t + \frac{1}{2} k_2 A^2 \cos 2w_1 t + \frac{1}{4} k_3 A^3 \cos 3w_1 t \end{aligned} \quad (2-40)$$

결과적으로 단일 주파수 w_1 을 갖는 입력신호에 대해 출력단에서는 기본 주파수 w_1 과 dc , $2w_1$, $3w_1$ 의 고주파 신호들이 나타나게 된다. 식(2-40)에서 주파수 w_1 인 신호의 출력 진폭은 $k_1 A + \frac{3}{4} (k_3 A^3)$ 으로 만약 $k_3 > 0$ 이면 $k_1 A > k_1 A + \frac{3}{4} (k_3 A^3)$ 이 되므로 가상 선형 출력 신호 $k_1 A \cos w_1 t$ 의 진폭보다 작아지게 된다. 이것을 이득의 억압 또는 AM-to-AM 변환 특성이라 하며, 표시는 파라미터로 선형 전달 특성보다 1 dB 낮은 출력점을 P_{1dB} (1 dB 억압점)라고 한다.

서로 다른 주파수를 갖는 2개 이상의 신호가 입력된 경우 출력에서 각 입력 신호의 고조파 신호가 생성되는 것 이외에 비선형 특성에 의해 입력 주파수와 고조파의 조합에 따른 새로운 주파수가 발생하는 현상이 나타나게 된다. 식(2-41)은 2개의 서로 다른 주파수 w_1 , w_2 가 입력된 경우의 출력 특성을 2차 성분까지 표현하고 있다.

$$v_0 = k_0(V_1 \cos w_1 t + V_2 \cos w_2 t) + \frac{k_2}{2}(V_1^2 + V_2^2) + \frac{k_2}{2}(V_1^2 \cos 2w_1 t + V_2^2 \cos 2w_2 t) + k_2 V_1 V_2 [\cos(w_1 + w_2)t + \cos(w_1 - w_2)t] \quad (2-41)$$

마지막 항의 성분을 상호변조 왜곡이라고 부르며 종종 증폭기에서 경미한 문제를 일으킬 수 있으나 출력단의 여파기를 사용하여 제거 할 수 있다. 그러나 식(2-39)의 3차 성분은 심각한 불요파 왜곡을 야기한다[7]. 이 성분만을 고려한 출력은 식(2-42)와 같다.

$$v_{03} = k_3(V_1^3 \cos^3 w_1 t + V_2^3 \cos^3 w_2 t) + \frac{3k_3}{2}(V_1^2 V_2 \cos w_2 t + V_1 V_2^2 \cos w_1 t) + \frac{3k_3}{4} V_1^2 V_2 [\cos(2w_1 + w_2)t + \cos(2w_1 - w_2)t] + \frac{3k_3}{4} V_1 V_2^2 [\cos(2w_2 + w_1)t + \cos(2w_2 - w_1)t] \quad (2-42)$$

두 번째 항의 성분을 혼변조라 하며, 신호 w_1 의 진폭이 시간에 따라 변하여 진폭변조(AM)와 같이 보일 경우 다른 신호 w_2 의 출력에 나타나는 변조성분이다.

세 번째와 마지막 항은 3차 상호변조(IMD_3) 성분이다. 이중 합 성분은 입력신호와 멀고 여파기로 제거하기가 쉬우므로 문제를 일으키지 않으나, 3차 성분인 $2f_2 - f_1$ 과 $2f_1 - f_2$ 는 입력 신호 성분과 매우 인접하여 여파기로 제거 할 수 없다. 따라서 증폭기의 선형성을 나타내는 중요한 파라미터로 인터셉트점(IP_3)과 함께 사용되며 식(2-43)에서 두 파라미터 상이한 관계를 나타낸다.

$$IP_3 = P_m + \frac{1}{2}IMD_3 \quad (2-43)$$

다단으로 연결되어 있을 때 IP_3 는 식(2-44)로 구할 수 있다.

$$IP_{Total} = \frac{1}{\frac{1}{IP_{3-1}} + \frac{G_1}{IP_{3-2}} + \dots + \frac{G_1 G_2 \dots G_{N-1}}{IP_{3-N}}} \quad (2-44)$$

여기서, $IP_{3-N} = 10^{\frac{dB[IP_{3-n}]}{10}}$ 이고, $G_N = 10^{\frac{dB[G_N]}{10}}$ 이다.

그림 2-7에서는 증폭기의 비선형성을 표현하는 파라미터 IP_3 및 P_{1dB} 를 나타내고 있다.

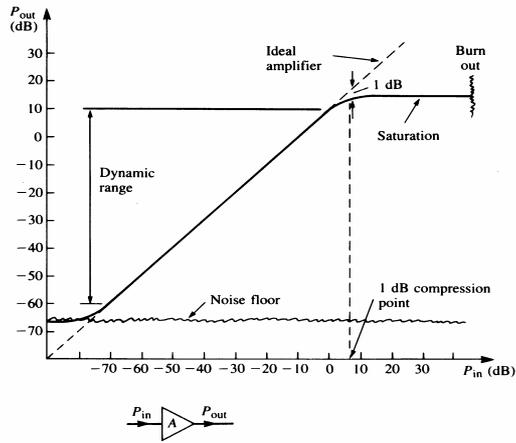


그림 2-7. 증폭기의 P_{1dB} , IP_3 및 동적영역

제 3 장 온도 보상용 능동 바이어스 회로 설계

다단 전력증폭기의 설계는 입·출력 전력의 세기를 고려한 사용소자의 제한에 따라 각 단계별로 소자의 요구 성능에 적합한 개별적인 설계를 하여야 한다. 이와 같은 설계 방법에 의해 전체 전력증폭기는 크게 구동 증폭단과 전력 증폭단의 두 부분으로 나누어 설계할 수 있다. 각의 증폭단은 그 구현을 위한 설계 목표를 설정한 후, 특성을 고려하여 설계하였다. 또한 소자의 특성 및 올바른 구현을 위해서 설계 대상을 시뮬레이션 하였으며, 그 결과를 토대로 제작되었다.

3.1 MRF-21060 소자의 특성

RF 전력증폭기의 선형적 동작을 위해서는 고출력 전력 트랜지스터가 사용 되어져야 하기 때문에 선형성이 우수하고, 고출력을 가지는 LDMOS(Lateral Diffused Metal-Oxide-Semiconductor) 소자를 많이 사용하고 있다[8].

본 논문에서 사용된 LDMOS MRF-21060의 경우 그림 3-1에서 알 수 있듯이 $V_{DS}=28\text{ V}$, $I_{DS}=700\text{ mA}$ 에서 동작하도록 설계하였을 때 IMD 특성은 약 -45 dBc 이하로 최적의 상태임을 알 수 있다.

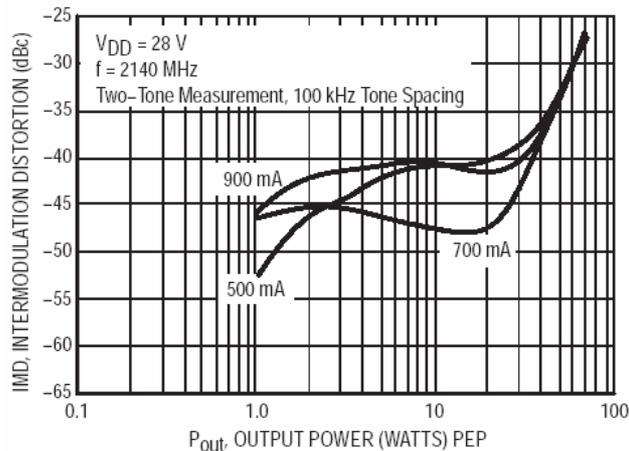


그림 3-1. MRF-21060 전력-IMD 특성

그러나 전력증폭기는 출력전력을 제외한 나머지 공급전력을 열로 소모하기 때문에 동작으로 인해 높은 열이 발생한다. 이렇게 발생한 열은 LDMOS소자의 직류 특성을 변화시키므로 LDMOS 소자의 열 특성을 고려하여 전력증폭기를 설계하여야 한다.

본 논문에서 사용한 LDMOS MRF-21060 소자의 열 특성을 분석하기 위하여 Motorola MET 비선형 모델을 이용하여 시뮬레이션 하였다[9].

온도 변화에 따른 MRF-21060 소자의 게이트 전압(V_{gs})에 드레인 전압(V_{ds})의 특성을 그림 3-2에 나타내었다.

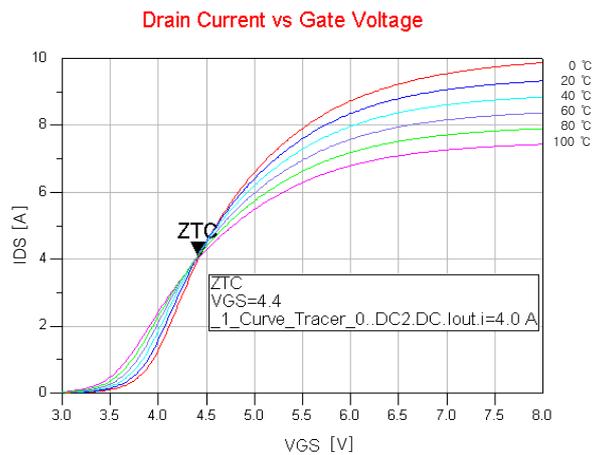


그림 3-2. 온도에 따른 드레인 전류 대 게이트 전압

ZTC(Zero Temperature Coefficient)점에서의 드레인 전류를 기준으로, 이하의 드레인 전류에서는 온도가 증가 함에 따라 전류량이 증가하는 양의 온도 계수를 가지고, 이상의 드레인 전류에서는 음의 온도 계수를 가지고 있어, 주어진 게이트 전압에서 온도 상승에 따른 소자의 파괴를 막을 수 있다[10].

온도에 따른 안정적인 전류를 공급하기 위해 게이트 전압은 온도 계수를 상쇄시킬 수 있도록 온도에 대해 선형적으로 공급되어야 한다. 만약 증폭기를 ZTC에 바이어싱하여 사용한다면 별도의 온도 보상회로는 필요가 없지만, RF 동작에 사용되는 AB 급 증폭기 바이어스 점은 ZTC 보다 훨씬 아래에 위치하게 되어 온도 보상이 필요하게 된다.

3.2 LDMOS FET 전력증폭기의 바이어스

모든 FET 바이어스 회로에서 정전압 트랜지스터로부터 게이트 바이어스 전압이 분배되어 진다. 이것은 또한, 소자에 올바른 전압 제공을 위한 어떠한 센서 요소를 포함하여 고려된 것이다. 게이트 회로에서 적은 전류가 나타날 때는 바이어스 회로는 매우 간단하고, 저렴하게 구성되어 지지만, 선형동작을 위한 바이어스 회로는 같은 동작점을 유지하기 하기 위하여 온도에 변화에 따른 바이어스 전압의 변화를 줄여야 한다. 대표적으로 사용되는 능동 바이어스 방법은 다음과 같다[11].

3.2.1 다이오드 온도 보상 회로

그림 3-3과 같이 구성되는 다이오드 온도 보상 회로망은 가장 간단하고 널리 사용하고 있는 방법이다.

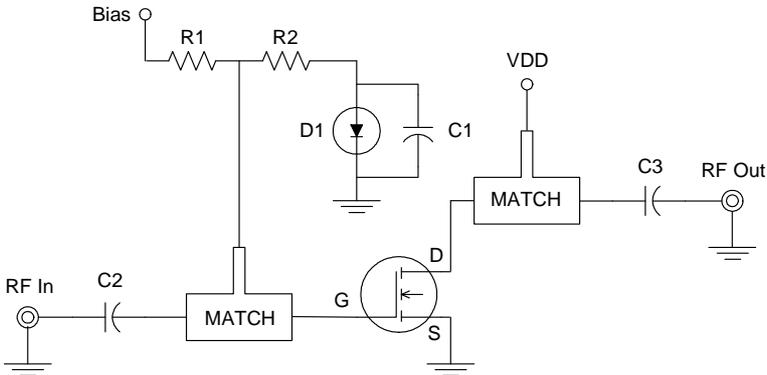


그림 3-3. 다이오드를 이용한 온도 보상 회로도

이러한 방법은 바이폴라 트랜지스터 회로에서 열 파괴를 막기 위해 사용되어져 왔으며, 그 동작은 온도 상승으로 인해 D1 전위장벽이 감소하게 되어 R2로 흐르는 전류의 양이 많아져 R1, R2, D1의 전압 분배비가 변화하게 되어 온도 보상이 된다. 그러나 다이오드 하나만을 이용한 회로망은 온도 보상의 한계를 가지고 있어 추가적인 회로 없이 소자의 특성 곡선에 맞는 온도 보상을 하기가 어렵다.

3.2.2 열 센서 온도 보상 회로

열 센서를 이용한 방법은 소자의 열적 특성을 예상하고, 이에 맞는 다이오드 온도 보상회로를 결합하여 제작된다. 즉, 원하는 동작 전류에서 소자의 열 계수를 찾고, 온도에 따른 전압의 비로 나타내는 온도센서의 기울기와 비교하여 구성하는 것이다. 그림 3-4에 열 센서를 사용한 바이어스 회로를 나타내었다.

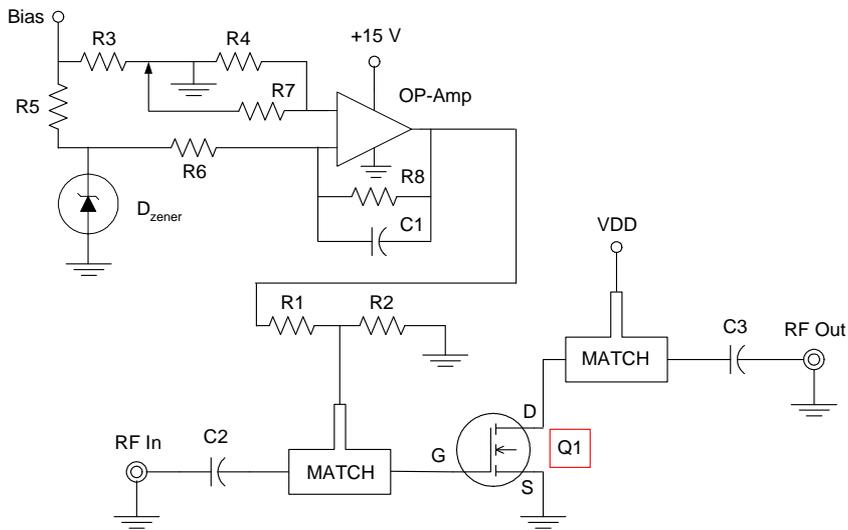


그림 3-4. 열 센서를 이용한 온도 보상 회로도

여기서 Op-Amp는 요구되는 변화 기울기를 제공하는 역할을 하며, R1은 소자의 동작 바이어스를 결정한다. R4는 IC1의 출력에서 온도 기울기 양을 조절한다. R2, R3, R3는 각각의 시스템의 바이어스 조절을 위해 맞추어 질 수 있다.

3.2.3 동일 패키지 재료를 이용한 온도 보상 회로

전력 증폭소자의 패키지 재료와 동일한 재료를 사용하여 제작한 소자를 이용하여 거울효과(Mirror effect)를 이용하는 방법이다. 열 보상을 위해 사용되는 소자는 실제 증폭소자보다 크기를 작게하여 시스템의 최대 성능을 얻을 수 있도록 한다.

그림 3-5에 동일 패키지 재료를 이용한 온도 보상 회로도를 나타내었다.

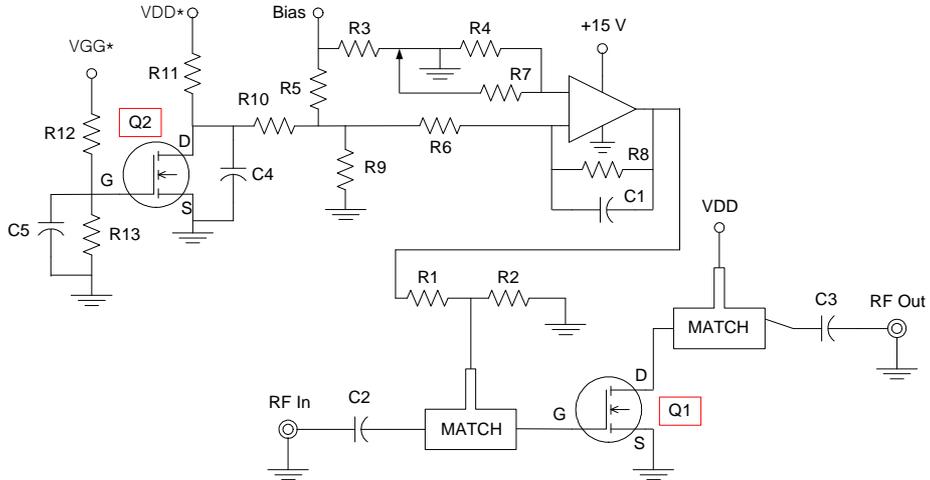


그림 3-5. 동일 소자를 이용한 온도 보상 회로도

여기서 Q2의 바이어스는 전력증폭기와 크기의 비와 비교하여 드레인 전류가 같은 비로 변할 수 있게 바이어스 하여야 한다. 따라서 온도변화에 따른 드레인 전류의 변화는 Q2의 드레인 전압을 변화하게 하고, 연산 증폭기를 이용한 더하기 회로에서 이 전압이 합해져 전력증폭기의 게이트에 공급된다. 이러한 방식은 전력증폭기를 오랜 시간 사용하였을 때 발생하는 FET 게이트의 산화로 인해 발생하는 정전류 값의 변화와 동일하게 변화하여 원하는 정전류를 공급할 수 있게 한다. 따라서, 전력 증폭기의 게이트의 산화로 인한 선형도의 저하를 막을 수 있다.

3.3 능동 바이어스 회로 설계

초고주파 전력증폭기의 동작은 선형성 및 효율, 이득간의 절충점에서 이루어져야 하는데 이 절충점은 드레인 전류가 최적 값이 되어야만 가능하다. 하지만 온도범위 (0~60 ℃), 공급전압, 바이어스 전압의 변화(± 5 %)와 같은 요소들로 인해 바이어스 점이 변화한다. 이러한 현상을 억제하기 위해서 본 논문에서는 PNP 트랜지스터를 사용하여 고주파 전력 증폭 소자인 LDMOS 트랜지스터가 정해진 전류의 최소변화를 가지는 온도 보상용 능동 바이어스 회로를 그림 3-6과 같이 설계하였다.

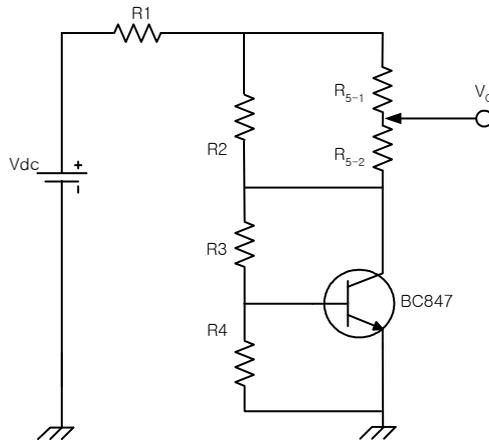


그림 3-6. 온도 보상용 능동 바이어스 회로

MOSFET에 게이트 바이어스 전압은 가변저항 전압(R5)에 의해 분배된 직류 입력전압과 식(3-1)과 같이 표현되는 트랜지스터의 콜렉터-에미터 전압 V_{CE} 과의 합과 같다.

$$V_{CE} = \left(1 + \frac{R_3}{R_4}\right) \times V_{BE} \quad (3-1)$$

따라서 LDMOS의 게이트 바이어스 전압은 식(3-2)와 같이 표현되어 진다.

$$V_G = \frac{R_{5-2}}{R_{5-1} + R_{5-2}} V_{ref} + \left(1 + \frac{R_3}{R_4}\right) \times V_{BE} \quad (3-2)$$

상온(25℃)에서 일정한 드레인 전류를 흐르도록 바이어스 전압을 고정하면, 온도 변화에 따른 드레인 전류의 변화는 트랜지스터의 베이스-에미터간 전압(V_{BE})의 온도계수에 의해 보상되어 진다. V_{BE} 는 $-2.5 \text{ mV}/^\circ\text{C}$ 의 온도계수를 가지고 있다. 그러므로 온도 보상은 가변저항과 LDMOS 임계 전압의 제조상의 퍼짐과는 독립적이고, 기준전압($V_{ref} = 0$)의 변화가 없을 경우 $dV_g = dV_{ce}$ 가 된다.

설계된 온도보상회로의 타당성을 입증하기 위해 P-spice를 사용하여 회로를 상온(25℃)에서 LDMOS가 바이어스 되도록 분배전압을 저항(R_5)을 변화시켜 시뮬레이션한 결과 그림 3-7과 같이 나타났으며 바이어스 전압이 4 V 일 때, 저항값은 $R_{5-1} = 700 \Omega$, $R_{5-2} = 4.3 \text{ k}\Omega$ 이 최적임을 알 수 있다.

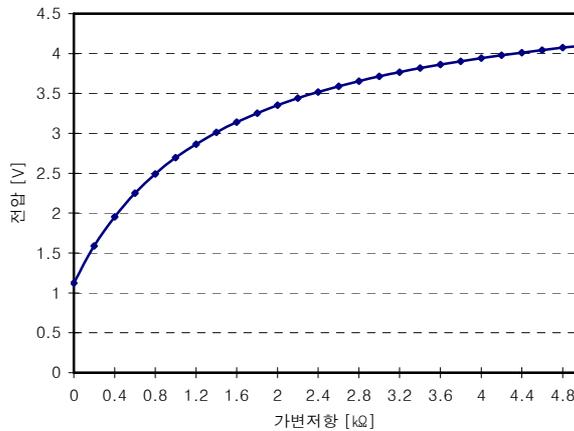


그림 3-7. 가변저항변화에 따른 바이어스 전압

주어진 분배전압에서 온도를 $-20 \sim 80 \text{ }^\circ\text{C}$ 변화시켜 시뮬레이션한 결과는 그림 3-8과 같이 나타났으며, 온도가 증가함에 따라 BC847 트랜지스터의 베이스-에미터 전압이 떨어져 LDMOS의 게이트 바이어스 전압이 조절되는 것을 알 수 있다. 이 때의 최저온도($-20 \text{ }^\circ\text{C}$)와 최대온도($80 \text{ }^\circ\text{C}$)에서 각각 4.025 V , 3.96 V 이며 온도계수는 약 $-0.65 \text{ mV}/^\circ\text{C}$ 로 온도상승으로 인한 LDMOS의 전류변화를 억제할 수 있음을 알 수 있다.

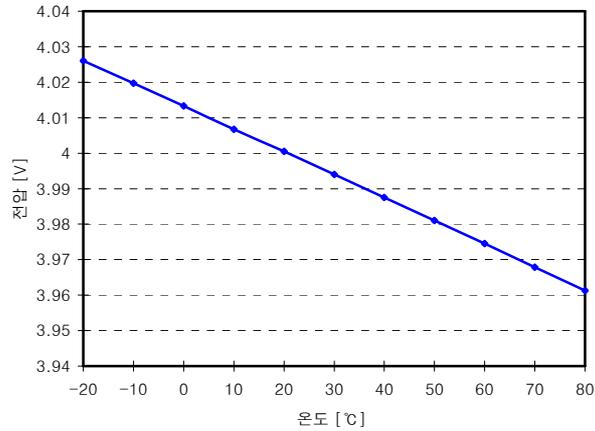


그림 3-8. 온도변화에 따른 바이어스 전압

온도 보상회로를 포함한 바이어스 회로도에는 그림 3-9와 같다. 전압 Regulator로 사용한 LP2951은 입력전압 $5 \sim 28 V_{dc}$ 일 때 출력전압 $5V_{dc}$ 이고, $20 \text{ ppm}/^{\circ}\text{C}$ 의 아주 작은 온도 계수를 가지고 있어 온도 변화에 따라 출력전압의 변화가 작아 기준전압(V_{ref})로 사용하기 적합하다. 또한 C1을 사용하여 LP2951의 발진을 막고 R1과 저역통과 필터(Low Pass Filter)를 구성하여 안정적인 직류 전압을 공급하도록 하였다.

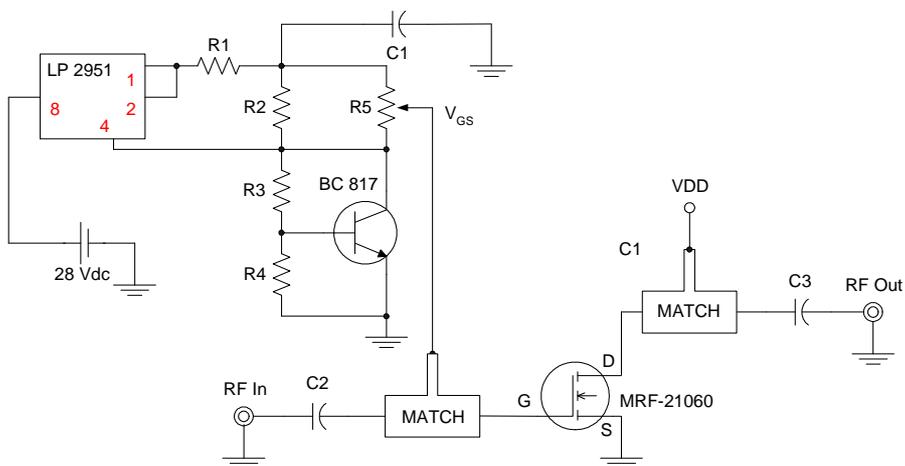


그림 3-9. 설계된 능동 바이어스 회로도

3.4 구동 증폭단의 설계

RF 전력증폭기에 사용되는 Power transistor인 Motorola사의 LDMOS MRF-21060 소자가 5 Watt의 출력신호를 발생시키기 위해서는 입력신호 레벨이 적어도 21 dBm이 되어야 한다. 따라서 MRF-21060을 구동하기 위한 구동증폭단은 Watkins-Johnson Communication사의 AH1과 평행증폭기로 구현되어야 하는 AH11을 사용하여 2단 증폭기로 설계하였다. 구동 증폭기의 구성도는 그림 3-10과 같다.

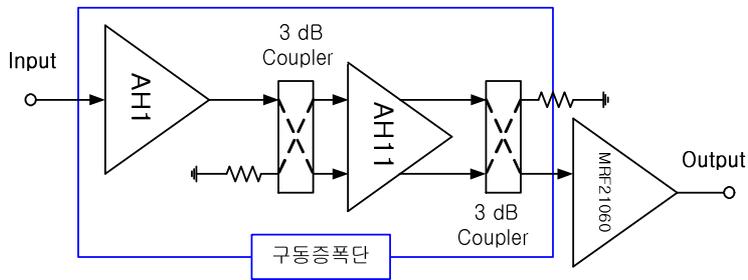


그림 3-10. 구동 증폭단의 구성도

5 Watt 단위 전력증폭을 위한 구동증폭단의 설계사양은 표 3-1과 같다.

표 3-1. 구동증폭단의 설계 사양

항목	성능규격
주파수	2110 ~ 2170 MHz
이득	21 dB 이상
입력 삽입손실	-10 dB 이하
이득편탄도(주파수대역내)	± 0.1 dB 이하
P1dB	3 dB 이하
출력전력	21 dBm 이상

전력증폭단의 설계에 있어서는 1 dB 압축점(P1dB)이 매우 중요한 파라미터가 되며, 따라서 설계시 1 dB 압축점으로부터 수 dB 이하의 점까지 동작범위를 선택하여 회로가 낮은 왜곡 특성을 나타내도록 해야 한다. 특히 전력증폭기의 설계 및 제작에 있어서는 전력소자의 모델링 파라미터가 신호전력 레벨 및 주파수에 따라 비선형 특성이 나타나는 것에 주의하여 설계하여야 한다. 그러나 FET 소자에 대한 비선형 모델링 계수를 측정하는 고가의 장비 확보를 필요로 할 뿐만 아니라 측정 방법에도 많은 노력이 요구된다. 따라서 본 논문에서는 FET 소자의 제작사가 제공하는 비선형 계수를 근거로 증폭기를 구현하였다

저전력 증폭 소자인 AH1, AH11 트랜지스터는 트랜지스터 내부에 바이어스 회로와 입력과 출력이 정합 되어있는 형태로 5 V 전압을 인가하면 안정적인 동작하는 MMIC 전력 증폭 소자이다.

이득이 12 dB인 1차 저전력증폭기 AH1는 그림 3-11과 같이 설계되었다..

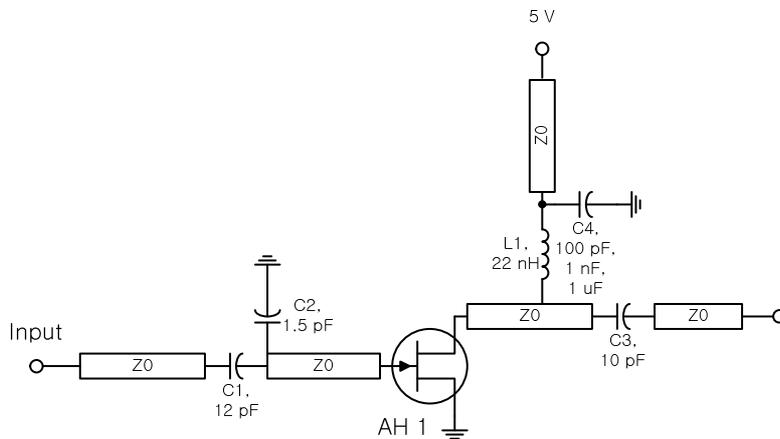
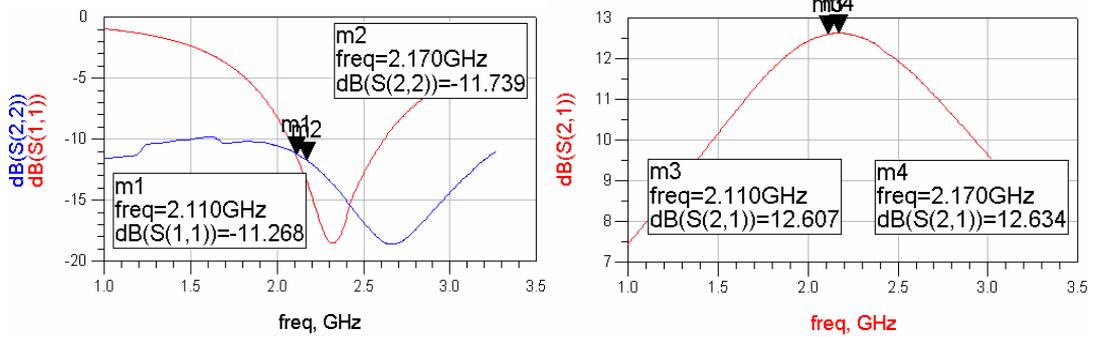


그림 3-11. AH1 회로도

AH1 회로를 시뮬레이션 한 결과를 그림 3-12에 나타내었다.



(a) 입 · 출력 반사손실

(b) 이득 특성

그림 3-12. AH1 회로의 시뮬레이션 결과

2차 저전력증폭단은 하나의 반도체 소자로 구현된 회로가 갖는 출력의 한계를 높이기 위하여 평형 증폭기형태로 설계하였다. 따라서 평형 증폭기를 제작하기 위해서는 전력 결합 기술이 필수적이다. 이를 위해서 다양한 전력결합기가 연구 개발되어 왔으며 결합된 소자 중 어느 한 소자가 파손된 경우라도 이득과 출력의 급격한 성능 저하를 방지하는 기능을 또한 전력증폭기에 제공한다. 실제로 사용되는 결합기로는 Wilkinson, Lange, Rat-race, 그리고 Branch-line 등이 있다.

본 논문에서는 대역폭, 반사손실, 삽입손실, 격리도, 크기, 기술과 복잡성 등을 고려할 때 가장 적합하다고 생각되는 Branch-line 결합기를 전력 증폭단의 전력결합 및 분배기로 사용하였는데 Branch-line 결합기는 설계와 제작이 쉬우며 손실이 매우 적다.

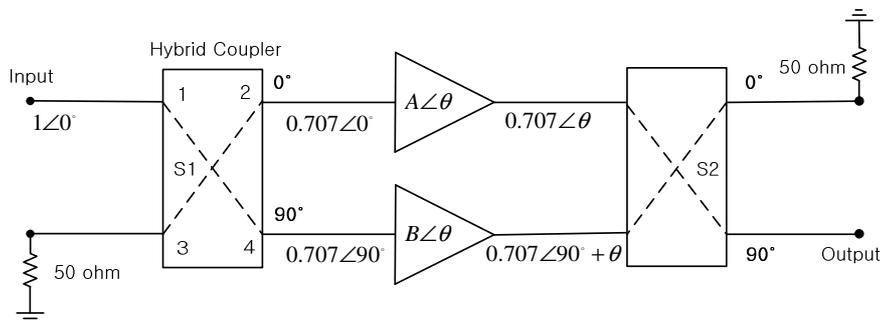


그림 3-13. 평형 증폭기의 개념도

평형 증폭기는 그림 3-13과 같이 두 개의 동일한 3 dB 결합기로 증폭기 A와 B를 연결하여 구성한다. 즉, 입력단 결합기의 단자 2와 4는 증폭기 입력과 연결하고 단자 3은 50 Ω으로 종단시킨다. 출력단 결합기의 단자 1과 3을 증폭기 출력과 연결하고 단자 2를 50 Ω으로 종단시킨다. 이와 같은 Branch-line 결합기를 이용한 평형 증폭기의 산란계수는 식(3-3)과 같다.

$$\begin{aligned}
 S_{11} &= e^{-2j\theta} [t^2 S_{11}(A) - (1-t^2) S_{11}(B)] \\
 S_{21} &= je^{-2j\theta} t\sqrt{1-t^2} [S_{21}(A) + S_{21}(B)] \\
 S_{12} &= je^{-2j\theta} t\sqrt{1-t^2} [S_{12}(A) + S_{12}(B)] \\
 S_{22} &= e^{-2j\theta} [t^2 S_{22}(A) - (1-t^2) S_{22}(B)]
 \end{aligned} \tag{3-3}$$

이때 첨자 1과 2는 각각 입·출력을 나타내며, A와 B는 증폭기를 나타낸다. 결합기가 3 dB (= 0.5)이고 두 증폭기의 특성이 같을 때, $|S_{11}| \approx 0$ 이고 $|S_{22}| \approx 0$ 이므로 산란계수는 식(3-4)와 같다.

$$S_{21} \approx je^{-2j\theta} S_{21}(A) \approx je^{-2j\theta} S_{21}(B) \tag{3-4}$$

이것은 평형 증폭기의 입·출력 정합이 양호하며 이득은 1단 증폭기의 이득과 거의 같음을 의미한다. 만약 두 증폭기의 특성이 다르고 결합도는 3 dB로 같은 경우 산란계수는 식(3-5)와 같다.

$$\begin{aligned}
 |S_{11}| &= \frac{1}{2} |S_{11}(A) - S_{11}(B)| \\
 |S_{22}| &= \frac{1}{2} |S_{22}(A) - S_{22}(B)| \\
 |S_{21}| &= \frac{1}{2} |S_{21}(A) - S_{21}(B)|
 \end{aligned} \tag{3-5}$$

즉, 입력 반사계수는 두 증폭기 차이의 절반이며 이득은 합의 절반임을 알 수 있다[12].

이득이 10 dB인 AH11은 그림 3-14와 같이 3 dB 방향성 결합기를 이용하여 평형증폭기 형태로 구현하였다.

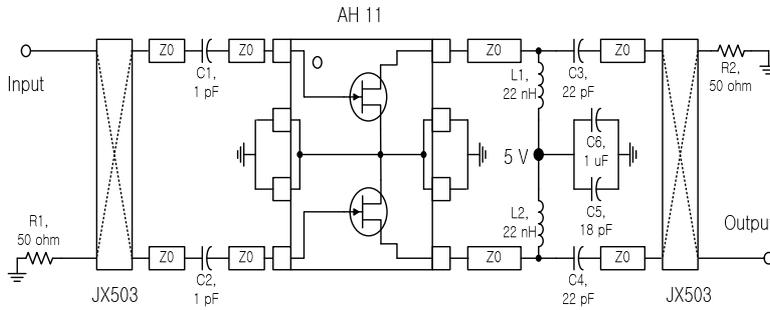


그림 3-14. AH11 회로도

AH11 회로를 시뮬레이션한 결과를 그림 3-15에 나타냈다.

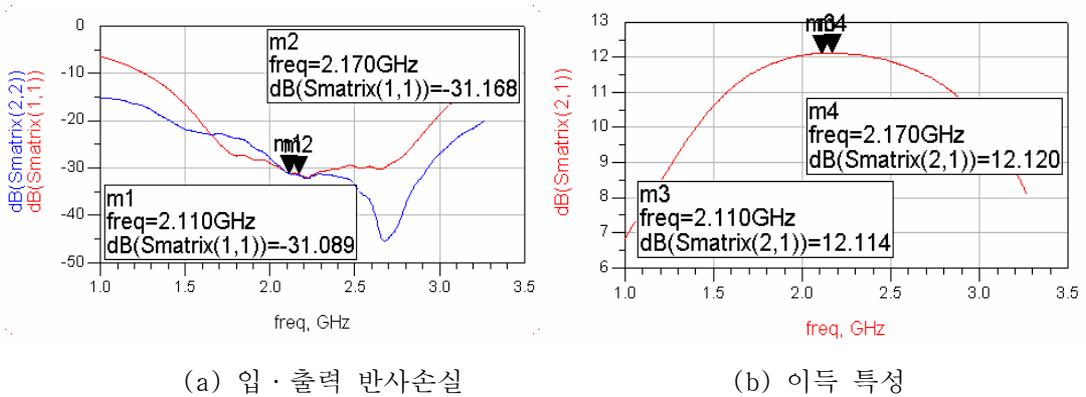


그림 3-15. AH11 회로의 시뮬레이션 결과

3.5 5 Watt 단위 이득 증폭기

이득이 12 dB인 5 Watt 단위 이득 증폭기는 LDMOS MRF-21060 소자를 사용하여 그림 3-16과 같이 설계되었다.

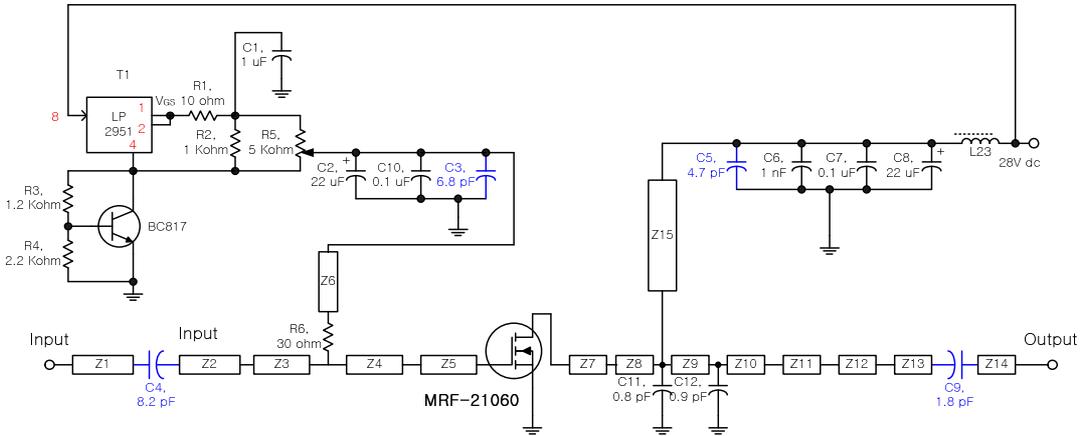


그림 3-16. MRF-21060 회로도

입력 정합회로는 대신호 해석을 통하여 입력 전력레벨에 대한 대신호 S파라미터로 이득 정합되어 입력신호가 최대한 트랜지스터에 공급되어 증폭되도록 설계하였으며, 출력 정합회로는 표 3-2에 나타낸 설계사양에 만족하는 출력을 갖도록 하기 위하여 Harmonic balance 해석을 이용하여 최대 출력을 내도록 정합되었다. 이렇게 초기 설정된 정합회로는 서로의 영향을 고려하여 최적화시켰다.

전력용 능동소자의 정합회로는 Lumped 형태로 쉽게 설계가 가능하지만 초고조파 영역에서 수동소자의 특성변화와 기생효과 등으로 정확히 구현하기 힘들기 때문에 마이크로 스트립 선로로 구현하였다. 본 논문에서는 정합회로를 스택 임피던스의 형태로 마이크로 스트립라인을 이용하여 설계하였다[13].

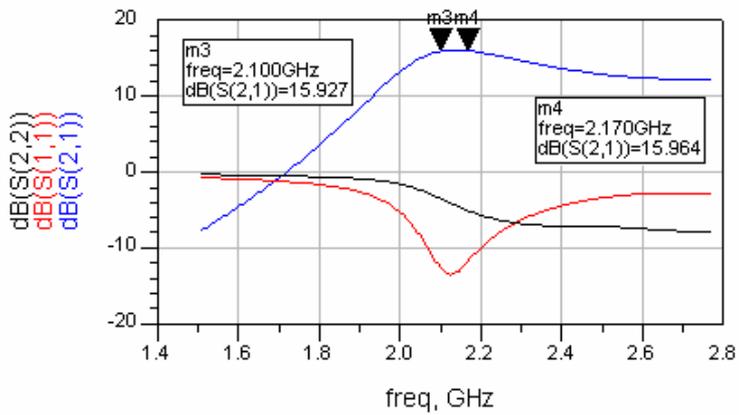
표 3-2. 5 Watt 단위 전력증폭기의 설계 사양

항목	성능규격
주파수	2110 ~ 2170 MHz
이득	12 dB 이상
입력 삽입손실	-10 dB 이하
이득편탄도(주파수대역내)	± 0.1 dB 이하
3차 IMD	-45 dB 이하
출력전력	5 W _{peak} 이상

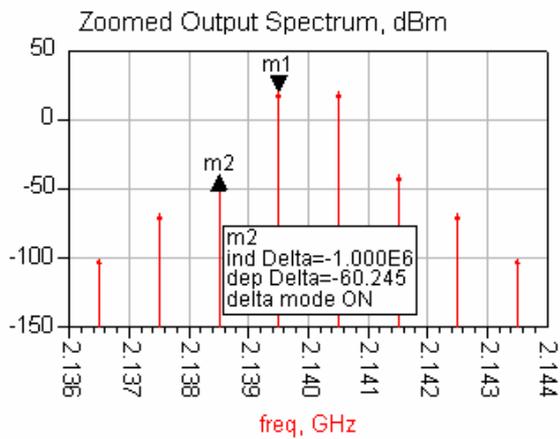
DC 바이어스 회로 설계시 고려되어야 할 사항은 RF 신호와 DC 신호가 서로 영향을 미치지 않아야 한다는 점이다. RF의 입력단과 출력단으로 DC를 차단하기 위하여 정합회로에 영향을 미치지 않는 높은 Q 값을 갖는 칩 커패시터(Chip-capacitor)를 사용하였다. 또한 RF 신호가 DC 바이어스 라인으로 통과하지 않게 하기 위해서 높은 특성임피던스의 값을 가져야 하고 $\lambda/4$ 선로 길이로 설계하였다. 그러나 출력 측에 과도한 전류가 흐르기 때문에 특성임피던스를 낮추어 설계하였다.

바이어스 회로를 포함하여 설계된 회로를 드레인 전류 $I_d = 1A$ 조건에서 주파수 1.4~2.8 GHz 대역에서 Motorola사에서 제공하는 비선형 데이터를 사용하여 시뮬레이션하였다. 최적화된 시뮬레이션 결과는 그림 3-17(a)과 같이 나타났으며, 주파수 2.11 ~ 2.17 GHz 대역에서 15 dB 이상의 이득과 ± 0.1 dB의 이득 편탄도를 가지며, 10 dB 이하의 입·출력 반사손실 특성을 나타내었다.

그림 3-17(b)는 바이어스 전압을 28 Vdc, 전류 1 A 인가하여 중심주파수 2140 MHz와 2141 MHz에서 1 MHz 주파수 간격의 두 신호를 MRF-21060 단위 증폭기에 8 dBm의 신호를 입력할 때 60.245 dBc의 상호 변조 왜곡(IMD) 특성의 시뮬레이션 결과를 보여주고 있다.



(a) 이득 및 반사손실 특성



(b) 상호 변조 왜곡 특성

그림 3-17. MRF-21060 단위 증폭기의 시뮬레이션 결과

제 4 장 전력증폭기용 온도 보상회로의 제작 및 측정

4.1 온도 보상용 능동 바이어스 회로의 제작

구동증폭단과 온도 보상용 능동 바이어스 회로를 포함한 5 Watt RF 전력증폭기는 비유전율 3.65, 두께 20 mil인 R04350 기판위에 제작하였다. 또한, 바이어스 회로 및 각 증폭단을 구성하기 위해 사용된 RLC 소자는 SMD 0805 칩소자를 사용하였고, 바이어스 회로와 전력증폭기와의 선로는 RF 초크를 사용하여 바이어스 선로와 증폭기를 분리하였다. AH1과 AH11으로 제작된 구동증폭단과 온도 보상용 능동 바이어스 회로를 포함한 제작된 5 Watt 전력증폭기의 사진을 각각 그림 4-1과 그림 4-2에 나타내었다.

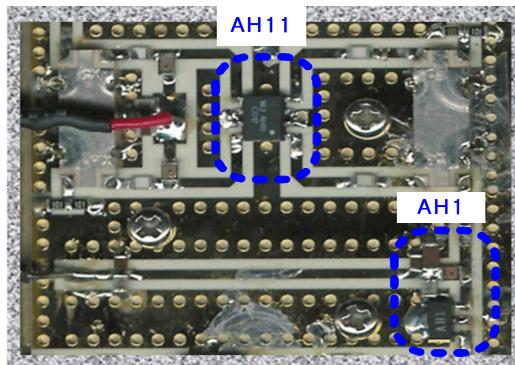


그림 4-1. 구동증폭단의 사진

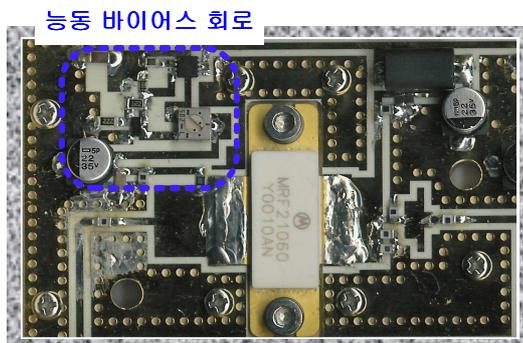


그림 4-2. 온도 보상용 능동 바이어스가 포함된 5 Watt 전력증폭기의 사진

4.2 특성 측정 및 평가

전력증폭기의 동작은 AH1과 AH11에 5 V DC 전압, MRF-21060에 3.84 V DC의 게이트 전압과 27 V DC 전압을 공급하여, 회로망 분석기를 이용해서 S파라미터를 측정하여 이득과 정합 특성을 분석하였다. 그 결과, 주파수 2.11 ~ 2.17 GHz 대역에서 그림 4-3과 같이 이득은 32 dB(측정 시 20 dB 감쇠기 부가) 이상, 이득 평탄도는 ± 0.09 dB로 나타났고, 입·출력 반사계수는 그림 4-4와 같이 -19 dB 이하로 측정되었다.

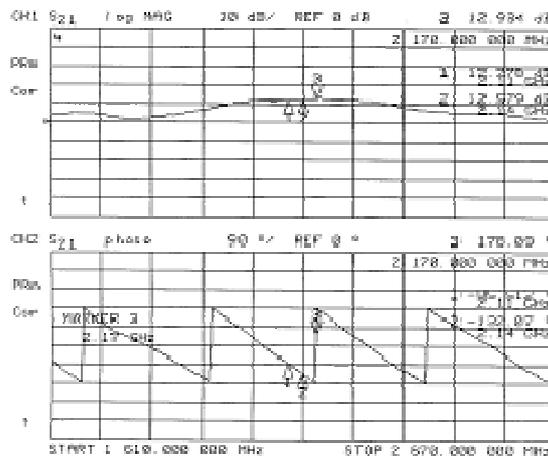
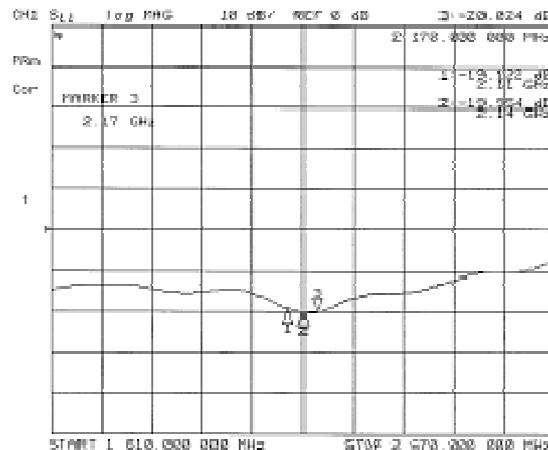
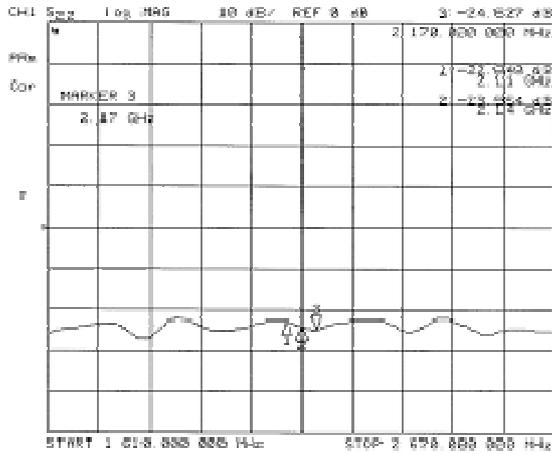


그림 4-3. 제작된 5 Watt 전력증폭기의 이득 및 위상 특성



(a) 입력 반사계수



(b) 출력 반사계수

그림 4-4. 제작된 5 Watt 전력증폭기의 입·출력 반사계수

제작된 전력증폭기의 온도 및 출력 특성을 측정하기 위하여 그림 4-5와 같이 시스템을 구성하였다.

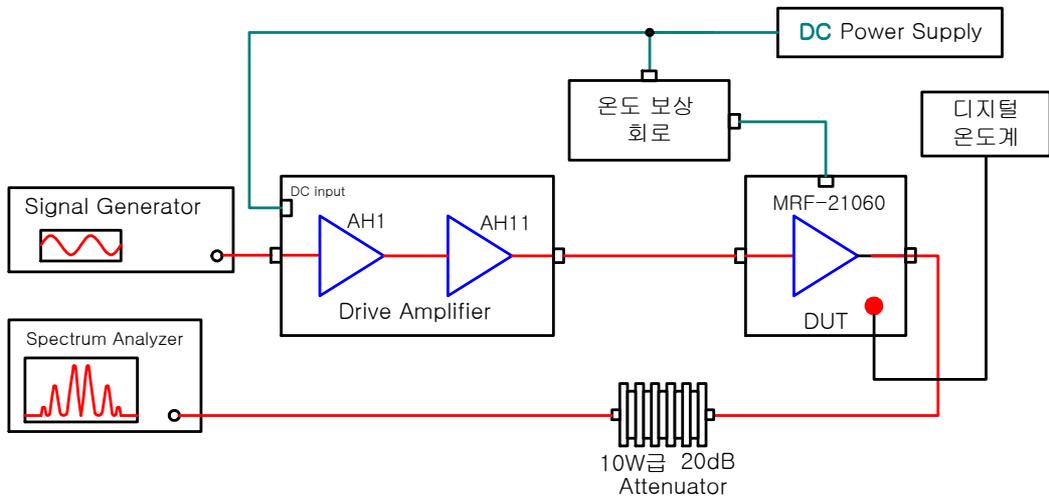


그림 4-5. 전력증폭기의 출력특성 측정 시스템 구성도

초고주파 신호 발생기의 입력레벨을 1 dBm으로 하고 MRF-21060 사용한 증폭단에 $V_{gs}=3.84$ V, $V_{ds}=27$ V를 인가하였을 때 2.11~2.17 GHz 주파수 대역에서 그림 4-6과 같은 출력특성을 측정하였다.

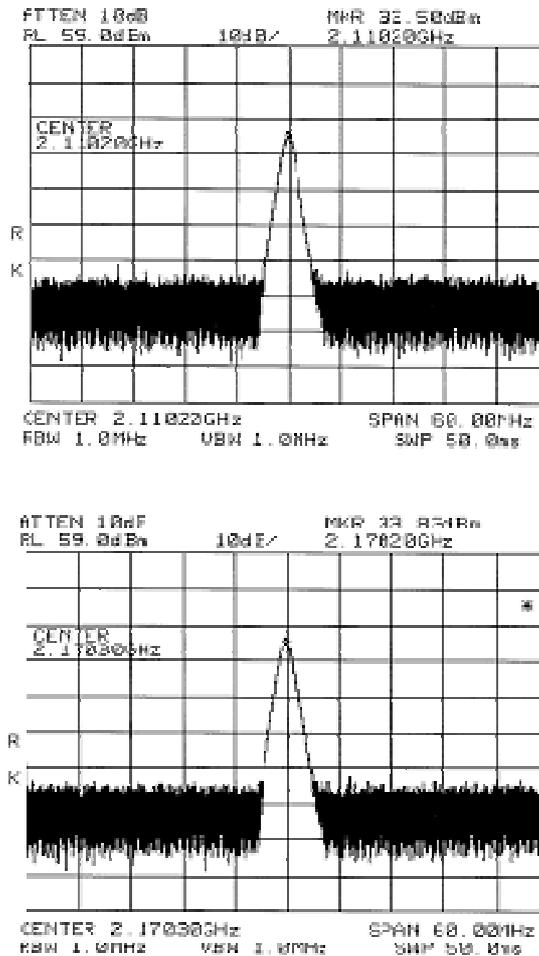


그림 4-6. 제작된 전력증폭기의 출력 특성

전력증폭기의 시간에 따른 온도 변화와 전류량의 변화를 그림 4-7과 그림 4-8에 나타내었다. 수동 바이어스의 경우 온도가 올라감에 따라 드레인 전류가 증가함을 알 수 있다. 이 문제를 해결하기 위하여 트랜지스터의 베이스-에미터 전압 V_{BE} 가 온도에 따라 감소하는 특성을 이용하여 온도가 증가함에 따라 게이트 전압을 낮추는 능동 바이어스

를 설계 및 제작 하였다.

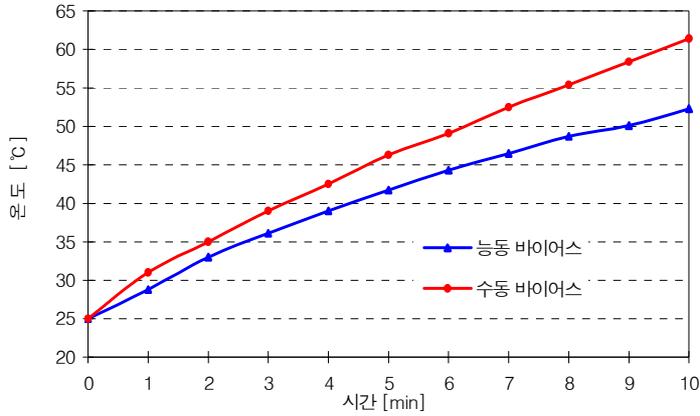


그림 4-7. 시간에 따른 온도 변화

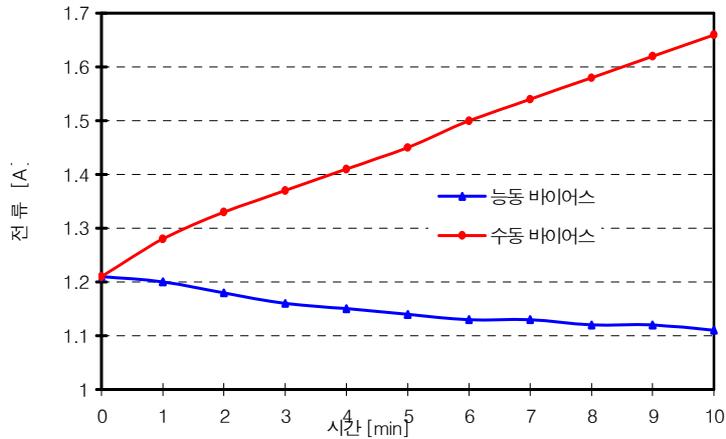


그림 4-8. 시간에 따른 소모 전류의 변화

측정 결과에 알 수 있듯이 사용된 MRF-21060 LDMOS 전력증폭기는 동작점에서 온도 상승에 따른 드레인 전류량이 증가하는 양의 온도 계수를 가지고 있어 온도 보상회로가 필요함을 알 수 있고, 설계 및 제작된 능동 바이어스의 적용으로 전력증폭기의 온도 계수가 동작점에서 0 ~ 60 °C까지 변할 때, -0.1 A 이하로 음의 온도 계수를 가졌다.

제 5 장 결 론

본 논문에서는 기지국용 선형 전력증폭기에 많이 사용되고 있는 LDMOS 소자의 열에 의한 전류 소모량의 변화를 억제하기 위해 전력증폭기의 바이어스 전압을 BC847 PNP 트랜지스터를 사용하여 저가의 능동 바이어스 회로를 설계하였다. 또한, 설계된 능동 바이어스 회로를 적용하기 위하여 MMIC 증폭 소자인 AH1과 AH11을 사용한 구동 증폭단과 초고주파 전력증폭기용 LDMOS MRF-21060 소자를 사용한 5 Watt 급 단위 전력증폭기를 설계 및 제작하였다.

설계된 전력증폭기의 시뮬레이션 결과는 2.11 ~ 2.17 GHz 주파수 대역에서 15 dB 이상의 이득, ± 0.019 dB의 이득 평단도 및 -10 dB 이하의 입·출력 손실을 나타내었다.

초고주파 신호 발생기에서 1 dBm의 입력 신호를 초고주파 전력증폭기에 입력하여 출력 신호의 전력과 시간의 흐름에 따른 온도 변화, 소모전류의 변화를 측정하였다. 그 결과 출력 전력은 2.11 GHz와 2.17GHz 각각에서 33.5 dBm, 33.83 dBm의 출력 전력을 나타냈으며, 온도가 0 °C 에서 60 °C까지 상승함에 따라 수동 바이어스 회로는 소모전류의 변화가 0.5 A로 높은 반면, 능동 바이어스 회로의 소모전류의 변화는 0.1 A로 낮게 나타났다.

그러므로 본 논문에서 제작된 초고주파 전력증폭기용 능동 바이어스 회로는 온도에 의한 드레인 전류의 변화를 조절하는데 효과적임을 알 수 있다.

참 고 문 헌

- [1] D. Roddy, Satellite Communications, Prentice Hall, pp. 63-107, 1989.
- [2] Michael T. Murphy, “ Appling the Series Feedback Technique to LNA Design,” Microwave Journal, Nov. 1989.
- [3] Manoor K., et al., “ A High Power and High Efficiency Monolithic Power Amplifier for Local Multipoint Distribution Service,” IEEE MTT-S Digest, pp.569-572, 1988.
- [4] K. E. Kuijk, “ A Precision Reference Voltage Source,” IEEE Journal of Solid-State Circuit, Vol. SC-6, pp.222-226, 1973.
- [5] Paul R. Gray, Robert G. Meyer, “ Analysis and Design of Analog Integrated Circuit,” John Wiley & Sons, pp. 333-346, 1993.
- [6] S. Cripps, “ RF Power Amplifier for Wireless Communications,” Artech House, pp. 179-218, 1991.
- [7] J.L. Smith, “ A method to predict the level of intermodulation products in broadband power amplifiers,” Microwave journal, Technical feature.
- [8] J. Rice, “ LDMOS Linearity And Reliability,” Microwave Journal, Technical Feature, 1999.
- [9] W. R. Curtice, et al, “ A new dynamic Electro thermal Nonlinear Model for Silicon RF LDMOS FETS,” IEEE MTT-S, 1999.
- [10] Olivier Lembeye, Jean-Christophe Nanan, “ Effect of Temperature on High-Power RF LDMOS Transistors,” Applied Microwave & Wireless, pp. 36-43, 2002. 8.
- [11] Cindy Blair, “ Biasing LDMOS FETs for Linear Operation,” Applied Microwave & Wireless, pp. 90-94, 2002. 8.
- [12] K. Kurokawa, “ Design Theory of Balanced Transistor Amplifier,” Bell System . pp 1675~1698, Oct., 1965.
- [13] Guillermo Gonzalez, “ Microwave Transistor Amplifier Analysis and Design,” Prentice-Hall, 1997.

