

# 遲延要素를 隨伴하는 制御 系統의 아날로그 시뮬레이션에 關한 研究

河 注 植 · 金 承 鎬

## A Study on the Analog Simulation Method of the Feed Back Control System With the Dead Time

Joo-Shik Ha · Seung-Ho Kim

### 目 次

- |                         |                   |
|-------------------------|-------------------|
| I. 序 論                  | ㄱ. 符號化 回路         |
| II. 制御 系統의 아날로그 시뮬레이션   | ㄴ. 시프트 레지스터       |
| II.1 블록 선도              | ㄷ. 사다리꼴 回路        |
| II.2 1次 要素의 시뮬레이션       | III. 實 驗          |
| II.3 PI, PID制御器의 시뮬레이션  | III.1 遲延 裝置의 特性實驗 |
| ㄱ. PI 制御器               | III.2 制御 系統의 應答實驗 |
| ㄴ. PID 制御器              | IV. 檢討 및 考察       |
| II.4 遲延 裝置( $e^{-LS}$ ) | V. 結 論            |
| ㄱ. 比較器                  | 參考文獻              |

### Abstract

The analog simulation is very effective technique for the synthesis and the analysis of the feed back control system, and recently many analog simulation techniques have been developed. In the analog simulation, however, it is still one of the most difficult problems to realize the time delay elements which are usually contained in the feed back control system. For the analog simulation of the time delay element the magnetic tape method and the Padé approximation method have been often used. But these methods are complicated and inaccurate.

In this paper the author proposes a method of the analog simulation of the feed back control system whose controlled object can be described by the first order system with the dead time. The feed back control system is assumed to use the PI or PID controller.

A new method of delaying the analog signal is proposed. In the method the input analog signal is first converted to the binary signal by means of the comparators and the encoding logic circuit, and stored in the shift registers in order. The delayed binary signal is obtained from the appropriate intermediate stages of the shift registers and converted again to the analog signal by means of the ladder resistance network.

The time delay circuit, made by the above-mentioned method, has operated in quite a good condition and the experiments on the response characteristics of the feed back control system by means of analog simulation have shown results as expected.

## I. 序 論

아날로그 計算機를 利用하여 制御 系統을 시뮬레이션하는 것은 制御 系統의 入出力 應答, 安定性, 特性의 補償, 適應制御 및 最適 制御 等의 設計<sup>1)</sup>, 解析에 大端히 有效하고 非線形系統의 解析에도 效果的으로 利用 될 수 있다. 卽, 아날로그시뮬레이션은 制御 特性을 物理的으로 理解하고 制御 系統의 最適퍼라미터를 決定하는 有效한 手段 中 하나이다.<sup>2)</sup>

一般的으로 플랜트 卽, 制御 對象은 遲延 時間을 수반하는 것이 보통이며 高次 系統이라도 遲延 時間을 수반하는 1次 系統으로 近似化해도 制御하는 데 지장이 없다.<sup>3)</sup>

本 研究에서는 制御 對象을  $ke^{-LS}/1+TS$  ( $k$ ; 定常利得,  $L$ ; 遲延 時間,  $T$ ; 時定數)로 近似化하고 PI 또는 PID 制御器를 使用하는 피드백 制御 系統을 아날로그 計算機로 시뮬레이션하여 最適 制御 및 適應 制御 系統의 應答 特性, 制御器의 퍼라미터가 制御 系統에 미치는 影響 等에 關於하여 考察하고 檢討하기로 한다.

一般的으로 遲延 時間을 아날로그 시뮬레이션하는 것은 大端히 困難하며 아직 特別히 有效한 方法이 開發되지 않고 있다. 종래에는 磁氣 테이프를 利用하는 方法이 많이 利用되어 왔으나 遲延 時間의 變更 및 取扱이 不便하다. 또한, 單安定 멀티바이브레이터(mono-stable multi-vibrator)를 利用하는 方法, Padé의 近似式을 利用하는 方法<sup>4), 5)</sup>等도 使用되어 왔으나, 이는 近似 方法에 不過하고, 特히 遲延 時間이 길 때 誤差가 큰 것이 缺點이다.

本 研究에서는 A/D 變換器, Shift Register, D/A 變換器 等으로써 遲延 裝置( $e^{-LS}$ )를 實現하는 方法을 提案하고 그 特性도 考察하기로 한다.

## II. 制御 系統의 아날로그 시뮬레이션

### II.1 블록 다이어그램(Block Diagram)

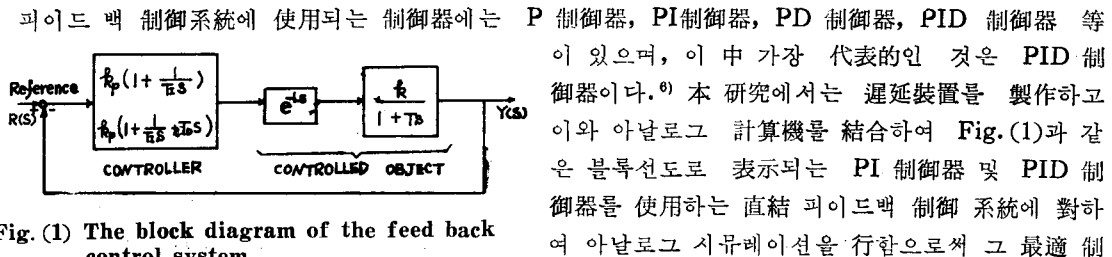


Fig. (1) The block diagram of the feed back control system

御 및 適應 制御系의 應答 特性을 考察하고 檢討하기로 한다.

### II.2 1次 要素의 시뮬레이션<sup>2),4)</sup>

1次 要素는 式(1)과 같이 表現된다.

$$G_o(S) = \frac{k}{1+TS} \dots\dots\dots(1)$$

式(1)을 變形하면

$$\begin{aligned} G_o(S) &= \frac{k}{1+TS} = \frac{k \cdot \frac{1}{S}}{\frac{1}{S}(1+TS)} \\ &= \frac{\frac{k}{S}}{T + \frac{1}{S}} \\ &= \frac{\frac{k}{T} \cdot \frac{1}{S}}{1 + \frac{1}{T} \cdot \frac{1}{S}} \\ &= k \cdot \frac{\frac{1}{T} \cdot \frac{1}{S}}{1 + \frac{1}{T} \cdot \frac{1}{S}} \dots\dots\dots(2) \end{aligned}$$

가 된다.

式(2)를 블록 선도로 表示하면 Fig. (2)가 된다.

Fig. (2)를 演算 増幅器를 利用하여 시뮬레이션하면 Fig. (3)과 같이 된다.

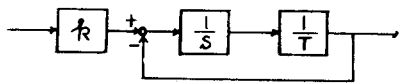


Fig. (2) A block diagram of the first order system

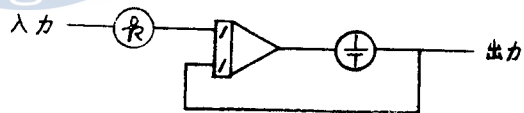


Fig. (3) Simulation program of the first order system

### II.3 PI, PID 制御器의 시뮬레이션

#### 1. PI 制御器

PI 制御器의 傳達 函數  $G_c(S)$ 는 式(1)과 같이 表現된다.

$$G_c(S) = k_p \left( 1 + \frac{1}{T_i S} \right) \dots\dots\dots(1)$$

式(1)의 傳達 函數를 블록 선도로 表示하면 Fig. (4)와 같이 된다.

Fig. (4)를 아날로그 시뮬레이션하면 Fig. (5)와 같이 된다.

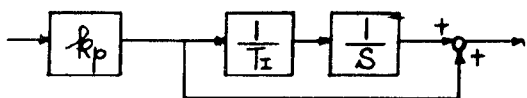


Fig. (4) A block diagram of the PI controller



Fig. (5) Simulation program of the PI controller

2. PID 制御器

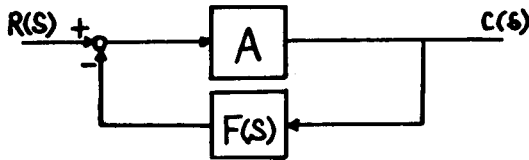


Fig. (6) A block diagram of the simple feed back control system

Fig. (6)에서 傳達 函數를 求해 보면,

$$G(S) = \frac{C(s)}{R(s)} = \frac{A}{1+AF(s)} = \frac{1}{\frac{1}{A} + F(s)}$$

이 된다. 여기서 增幅器의 利得 A를 無限大( $\infty$ )로 하면,

$$G(S) = \frac{C(s)}{R(s)} = \frac{1}{F(s)} \text{ 이 된다.}$$

即, 增幅器의 利得이 無限大이면 傳達函數는 피이드백 傳達 函數(Feed Back Transfer Function)의 역수가 된다.<sup>6)</sup>

本論文에서는 위의 事實을 利用하여 PID 制御器의 아날로그 시뮬레이션을 近似的으로 Fig. (8)과 같이 表現한다.

PID 制御器의 傳達函數  $G_c(S)$ 는 式(2)와 같이 表現된다.

$$G_c(S) = k_p \left( 1 + T_d S + \frac{1}{T_i S} \right) \dots \dots \dots (2)$$

式(2)를 變形하면

$$G_c(S) = k_p \left( \frac{T_d T_i S^2 + T_i S + 1}{T_i S} \right) \dots \dots \dots (3)$$

이 된다.

式(3)의 傳達 函數를 블록 선도로 表示하면 Fig. (7)이 된다.

Fig. (7)의 블록 선도를 시뮬레이션하면 Fig. (8)과 같이 된다.

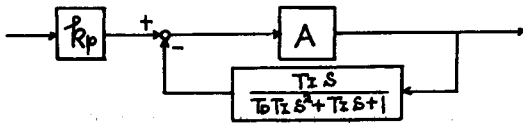


Fig. (7) A block diagram of the PID controller

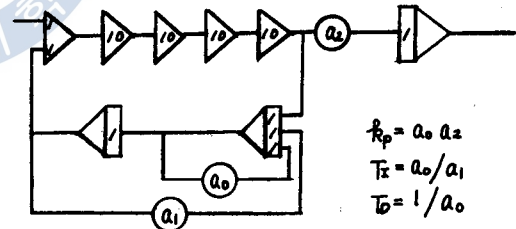


Fig. (8) Simulation program of the PID controller

即, Fig. (8)에서 傳達 函數를 求해 보면,

$$G(S) = k_p \frac{1}{\frac{1}{10000} + \frac{T_i S}{T_d T_i S^2 + T_i S + 1}}$$

이 된다.

여기서,  $\frac{1}{10000} \div 0$  이므로

$$\begin{aligned} G(S) &\div k_p \frac{1}{\frac{T_i S}{T_d T_i S^2 + T_i S + 1}} = k_p \frac{T_d T_i S^2 + T_i S + 1}{T_i S} \\ &= k_p \left( 1 + T_d S + \frac{1}{T_i S} \right) \end{aligned}$$

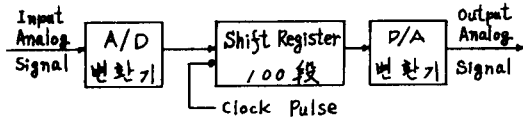
II.4 遲延 裝置( $e^{-LS}$ )

지금까지는 磁氣 테이프에 아날로그 信號를 記憶시켰다가 一定 遲延 時間後에 다시 再生하는 方法 혹은 Padé의 近似式을 利用하는 方法, 單安定 發振器(mono-stable multi-vibrator)를 利用하여 微少 時間을 遲延시키는 方法, 整流子와 콘덴서를 使用한 專用機<sup>2),4),5)</sup> 등이 있으나, 이러한 方法은 正確性이 결여되고 遲延 時間이 짧고 裝置도 複雜하므로 本 論文에서는 A/D 變換器, 시프트 레지스터 D/A 變換器를 利用하여 遲延 裝置를 實現하기로 한다.

即, A/D 變換器를 使用하여 아날로그 信號를 디지털 信號로 變換한 後 100段의 시프트레지스터를 利用하여 順次的으로 記憶시켰다가 要求되는 遲延 時間에 따라 任意的 中間段 即,  $n$ 번째 段에서 出力을 빼내면 이 때 遲延 時間  $L$ 은 다음 式과 같이 된다.

$$L = n\Delta (Δ; \text{클럭 펄스의 주기}) \dots \dots \dots (1)$$

但,  $\Delta \leq \frac{1}{2f_0}$  ( $f_0$ ; 입력신호주파수스펙트럼의 최고 주파수)<sup>13)</sup>



따라서  $n$  및  $\Delta$ 를 變化시킴으로서 任意的 遲延된 디지털 信號를 시프트레지스터의 出力段에서 얻을 수 있으며, 이 信號는 D/A 變換器를 通함으로써 遲延된 아날로그 信號로 變換된다.

Fig. (9) Simplified block diagram of the de-laying apparatus of the analog signal

아날로그 入力 信號를 計數化하기 爲하여 15個의 比較器<sup>7)</sup>로서 入力 信號의 레벨을 判別한다. (Parallel A/D 變換器) 比較器는 여러 種類中 바이어스가 0인  $\mu A$  311을 使用하며 構成은 Fig. (10)과 같다. 그 特性은 入力이  $\pm 7V$ 인 삼각파일 때 出力 波形은 Fig. (11)과 같은  $-15V$ 의 구형파가 된다.<sup>8)</sup>

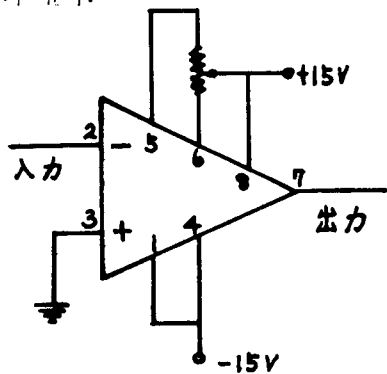


Fig. (10) A circuit of the comparator

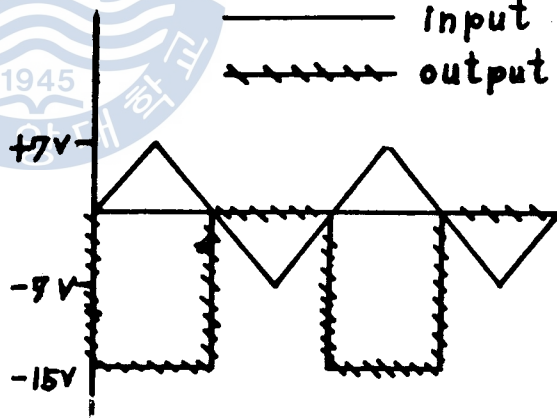


Fig. (11) Input-to-output wave form of the comparator

ㄱ. 符號化 回路(Encoding Logic Circuit)

15 個의 比較器 出力을  $a, b, c, d, e, f, g, h, i, j, k, l, m, n, \theta$ 라 하고 符號化 回路의 出力을  $A_1, A_2, A_3, A_4$ 라 하면 Table. (1)과 같은 眞理表를 갖는 符號化 回路를 設計하여야 한다.<sup>9)</sup> (Fig. (16) 參照)

Table. (1)에서 다음과 같은 式이 成立함을 알 수 있다.

	a	b	c	d	e	f	g	h	i	j	k	l	m	n	θ	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	A <sub>4</sub>
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
3	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
4	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
5	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
6	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1
7	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1	0
8	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	1	1	1
9	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1	0	0	0
10	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	1	0	0	1
11	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	1	0	1	0
12	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1
13	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	1	1	0	0
14	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	1	1	0	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	0
16	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Table. (1) Truth table for encoding logic circuit.

- $ab = b$
- $abc = c$
- $abcd = d$
- $abcde = e$
- $abcdef = f$
- $abcdefg = g$
- $abcdefgh = h$
- $abcdefghi = i$
- $abcdefghij = j$
- $vwbcdefghijk = k$
- $abcdefghijkl = l$
- $abcdefghiklm = m$
- $abcdefghiklmn = n$
- $abcdefghiklmn\theta = \theta$
- $\bar{a}\bar{b}\bar{c}\bar{d}\bar{e}\bar{f}\bar{g}\bar{h}\bar{i}\bar{j}\bar{k}\bar{l}\bar{m}\bar{n}\bar{\theta} = \bar{a}$
- $\bar{b}\bar{c}\bar{d}\bar{e}\bar{f}\bar{g}\bar{h}\bar{i}\bar{j}\bar{k}\bar{l}\bar{m}\bar{n}\bar{\theta} = \bar{b}$
- $\bar{c}\bar{d}\bar{e}\bar{f}\bar{g}\bar{h}\bar{i}\bar{j}\bar{k}\bar{l}\bar{m}\bar{n}\bar{\theta} = \bar{c}$
- $\bar{d}\bar{e}\bar{f}\bar{g}\bar{h}\bar{i}\bar{j}\bar{k}\bar{l}\bar{m}\bar{n}\bar{\theta} = \bar{d}$
- $\bar{e}\bar{f}\bar{g}\bar{h}\bar{i}\bar{j}\bar{k}\bar{l}\bar{m}\bar{n}\bar{\theta} = \bar{e}$

$$\begin{aligned}
 \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{f} \\
 \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{g} \\
 \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{h} \\
 \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{i} \\
 \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{j} \\
 \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{k} \\
 \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{l} \\
 \bar{m} \bar{n} \bar{\theta} &= \bar{m} \\
 \bar{n} \bar{\theta} &= \bar{n}
 \end{aligned}$$

위의 條件들을 利用하여 主加法標準形<sup>9)</sup>으로 出力式을 簡單히 하면 다음과 같다.

$$\begin{aligned}
 1) A_1 &= a b c d e f g h \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l m \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \theta \\
 &= h \{ \bar{j} + i j \bar{l} + i j k l \bar{n} + j k l m n \} \\
 &= h \{ \bar{j} + j \bar{l} + l \bar{n} + n \} \\
 &= h \{ \bar{j} (l + \bar{l}) + j \bar{l} + l \bar{n} + n (l + \bar{l}) \} \\
 &= h \{ \{ \bar{j} l + (\bar{j} \bar{l} + j \bar{l}) \} + \{ l \bar{n} + (l n + \bar{l} n) \} \} \\
 &= h \{ \{ \bar{j} l + \bar{l} (j + \bar{j}) \} + l \bar{n} + l n + \bar{l} n \} \\
 &= h \{ \bar{j} l + \bar{l} + l \bar{n} + l n + \bar{l} n \} \\
 &= h \{ l (\bar{j} + n + \bar{n}) + \bar{l} (1 + n) \} \\
 &= h \{ l (1 + \bar{j}) + \bar{l} \} \\
 &= h [ l + \bar{l} ] \\
 &= h \dots \dots \dots (2)
 \end{aligned}$$

$$\begin{aligned}
 2) A_2 &= a b c d \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l m \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \theta
 \end{aligned}$$



$$\begin{aligned}
 &= d \bar{h} (\bar{e} \bar{f} \bar{g} + e \bar{f} \bar{g} + e f \bar{g} + e f g)^{*1} + l (\bar{m} \bar{n} \bar{\theta} + m \bar{n} \bar{\theta} \\
 &+ m n \bar{\theta} + m n \theta)^{*2} \\
 &= d \bar{h} (\bar{f} \bar{g} + f g) + l (\bar{n} \bar{\theta} + n \theta) \\
 &= d \bar{h} + l \dots \dots \dots (3)
 \end{aligned}$$

\*1, \*2 MAP METHOD<sup>9)</sup>를 利用하여 簡略化하면

e \ f g	00	01	11	10
0	/		/	
1	/		/	

$$\bar{f}\bar{g} + fg = 1$$

m \ n θ	00	01	11	10
0	/		/	
1	/		/	

$$\bar{n}\bar{\theta} + n\theta = 1$$

$$\begin{aligned}
 3) A_3 &= a b \bar{c} \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \bar{\theta} \\
 &+ a b c d e f g h i j k l m n \theta
 \end{aligned}$$



$$\begin{aligned} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{f} \\ \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{g} \\ \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{h} \\ \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{i} \\ \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{j} \\ \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{k} \\ \bar{l} \bar{m} \bar{n} \bar{\theta} &= \bar{l} \\ \bar{m} \bar{n} \bar{\theta} &= \bar{m} \\ \bar{n} \bar{\theta} &= \bar{n} \end{aligned}$$

위의 條件들을 利用하여 主加法標準形<sup>9)</sup>으로 出力式을 簡單히 하면 다음과 같다.

$$\begin{aligned} 1) A_1 &= a b c d e f g h \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l m \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l m n \bar{\theta} \\ &+ a b c d e f g h i j k l m n \theta \\ &= h \{ \bar{j} + i j \bar{l} + i j k l \bar{n} + j k l m n \} \\ &= h \{ \bar{j} + j \bar{l} + l \bar{n} + n \} \\ &= h \{ \bar{j} (l + \bar{l}) + j \bar{l} + l \bar{n} + n (l + \bar{l}) \} \\ &= h \{ \{ \bar{j} l + (\bar{j} \bar{l} + j \bar{l}) \} + \{ l \bar{n} + (l n + \bar{l} n) \} \} \\ &= h \{ \{ \bar{j} l + \bar{l} (j + \bar{j}) \} + l \bar{n} + l n + \bar{l} n \} \\ &= h [ \bar{j} l + \bar{l} + l \bar{n} + l n + \bar{l} n ] \\ &= h [ l (\bar{j} + n + \bar{n}) + \bar{l} (1 + n) ] \\ &= h [ l (1 + \bar{j}) + \bar{l} ] \\ &= h [ l + \bar{l} ] \\ &= h \dots \dots \dots (2) \end{aligned}$$

$$\begin{aligned} 2) A_2 &= a b c d \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l m \bar{n} \bar{\theta} \\ &+ a b c d e f g h i j k l m n \bar{\theta} \\ &+ a b c d e f g h i j k l m n \theta \end{aligned}$$

$$\begin{aligned}
 &= d \bar{h} (\bar{e} \bar{f} \bar{g} + e \bar{f} \bar{g} + e f \bar{g} + e f g)^{*1} + l (\bar{m} \bar{n} \bar{\theta} + m \bar{n} \bar{\theta} \\
 &\quad + m n \bar{\theta} + m n \theta)^{*2} \\
 &= d \bar{h} (\bar{f} \bar{g} + f g) + l (\bar{n} \bar{\theta} + n \theta) \\
 &= d \bar{h} + l \dots \dots \dots (3)
 \end{aligned}$$

\*1, \*2 MAP METHOD<sup>9)</sup>를 利用하여 簡略化하면

		fg			
		00	01	11	10
e	0	1		1	
	1	1		1	

$$\bar{f}g + fg = 1$$

		nθ			
		00	01	11	10
m	0	1		1	
	1	1		1	

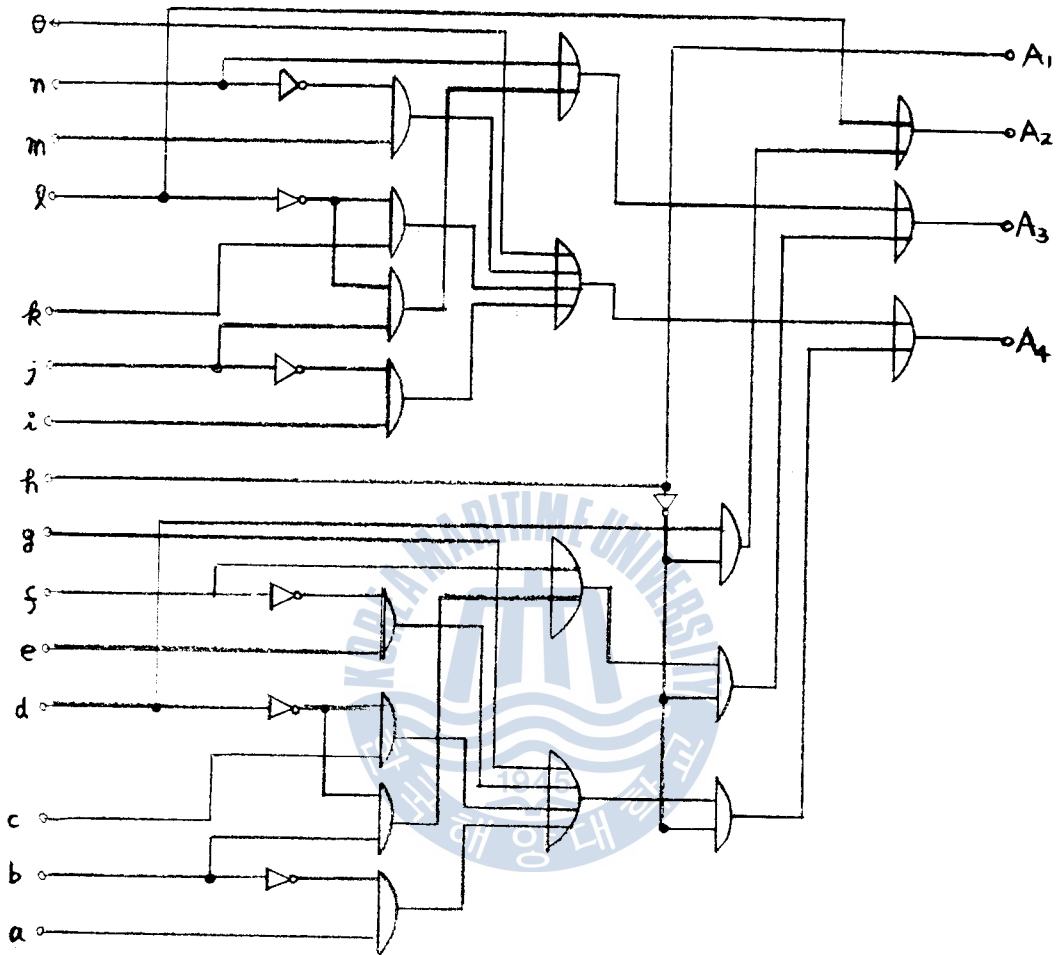
$$\bar{n}\theta + n\theta = 1$$

$$\begin{aligned}
 3) A_3 &= a \bar{b} \bar{c} \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l m \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l m n \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l m n \theta \\
 &= b \bar{h} \{ \bar{c} \bar{d} \bar{e} \bar{f} + c \bar{d} \bar{e} \bar{f} \} + f \bar{h} + j \bar{l} + n \\
 &= b \bar{h} \{ \bar{d} \bar{e} \bar{f} (c + \bar{c}) \} + f \bar{h} + j \bar{l} + n \\
 &= b \bar{h} \bar{d} + f \bar{h} + j \bar{l} + n \\
 &= (b \bar{h} + f) \bar{h} + j \bar{l} + n \dots \dots \dots (4)
 \end{aligned}$$

$$\begin{aligned}
 4) A_4 &= a \bar{b} \bar{c} \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c \bar{d} \bar{e} \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e \bar{f} \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f \bar{g} \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g \bar{h} \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h \bar{i} \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i \bar{j} \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j \bar{k} \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k \bar{l} \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l \bar{m} \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l m \bar{n} \bar{\theta} \\
 &\quad + a \bar{b} c d e f g h i j k l m n \bar{\theta} \\
 &= \bar{h} (a \bar{b} + c \bar{d} + e \bar{f} + g) + (i \bar{j} + k \bar{l} + m \bar{n} + \theta) \dots \dots \dots (5)
 \end{aligned}$$

(1), (2), (3), (4)式으로 符號化 回路를 設計하면 Fig. (12)가 된다.





$$\begin{aligned}
 A_1 &= h \\
 A_2 &= a\bar{h} + l \\
 A_3 &= (b\bar{d} + f) \times \bar{h} + (j\bar{l} + n) \\
 A_4 &= (a\bar{b} + c\bar{d} + e\bar{f} + g) \times \bar{h} + (i\bar{j} + k\bar{l} + m\bar{n} + t)
 \end{aligned}$$

Fig. (12) Logic diagram of the Encoding Logic circuit

ㄷ. Shift Register

符號化 回路의 出力段에서 나온 4 bit의 二進 信號를 遲延시키기 爲하여, 各 bit의 出力을 Fig. (13)과 같은 4段 Shift Register 25個를 直列로 連結하여 만든 100段의 Shift Register<sup>10)</sup>에 順次的으로 記憶시킨다.

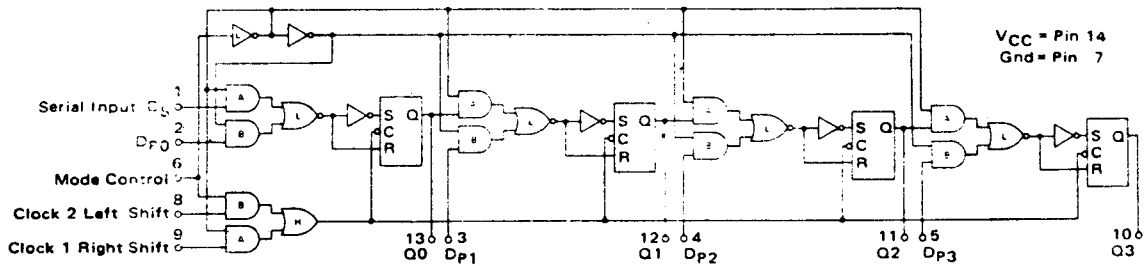


Fig. (13) Circuit of the 4 bit Shift Register

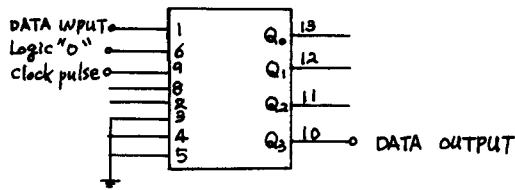


Fig. (14) Pin connection diagram of the Shift register

遲延 裝置에 使用한 시프트 레지스터의 pin 연결도는 Fig.(14)와 같이 된다.

Fig. (14)에서 pin 6(Mode control)에 0狀態를 維持하면 A-AND gate는 入力 狀態에 따라 動作 하고 각 B-AND gate는 動作하지 않는다.

本 實驗의 遲延 裝置에 利用한 시프트 레지스터의 入力 電壓은 3.7V 이고 power supply voltage ( $V_{cc}$ )는 5V이다. 그리고 出力段에서 1狀態는 2.4V, 0狀態는 0V이다.

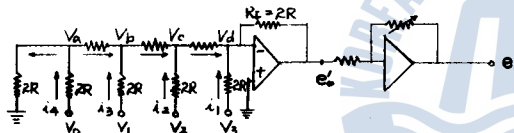


Fig. (15) 2R, R Ladder network

르. 사다리꼴 回路

시프트 레지스터에서 얻어지는 遲延된 디지털 信號를 다시 아날로그 信號로 變換하기 爲하여 D/A 變換器로서 Fig. (15)와 같은 사다리꼴 回路(Ladder Circuit)<sup>11)</sup>를 利用한다.

Fig. (15)에서  $i_1, i_2, i_3, i_4$ 에 關한 式은 다음과 같다.

$$\begin{aligned} i_4 &= \frac{V_a - V_b}{R} + \frac{V_a}{2R} = \frac{V_0 - V_a}{2R} \dots\dots\dots (6) \\ i_3 &= \frac{V_b - V_c}{R} - \frac{V_a - V_b}{R} = \frac{V_1 - V_b}{2R} \dots\dots\dots (7) \\ i_2 &= \frac{V_c}{R} - \frac{V_b - V_c}{R} = \frac{V_2 - V_c}{2R} \dots\dots\dots (8) \\ i_1 &= i_{in} - \frac{V_c}{R} = \frac{V_3}{2R} \dots\dots\dots (9) \end{aligned}$$

(6), (7), (8), (9)式을 整理하면

$$\begin{aligned} \frac{V_a}{R} - \frac{V_b}{R} + \frac{V_a}{2R} &= \frac{V_0}{2R} - \frac{V_a}{2R} \dots\dots\dots (6)' \\ \frac{V_b}{R} - \frac{V_c}{R} - \frac{V_a}{R} + \frac{V_b}{R} &= \frac{V_1}{2R} - \frac{V_b}{2R} \dots\dots\dots (7)' \\ \frac{V_c}{R} - \frac{V_b}{R} + \frac{V_c}{R} &= \frac{V_2}{2R} - \frac{V_c}{2R} \dots\dots\dots (8)' \\ i_{in} &= \frac{V_c}{R} + \frac{V_3}{2R} \dots\dots\dots (9)' \end{aligned}$$

(6)', (7)', (8)', (9)'式이 된다.

여기서,

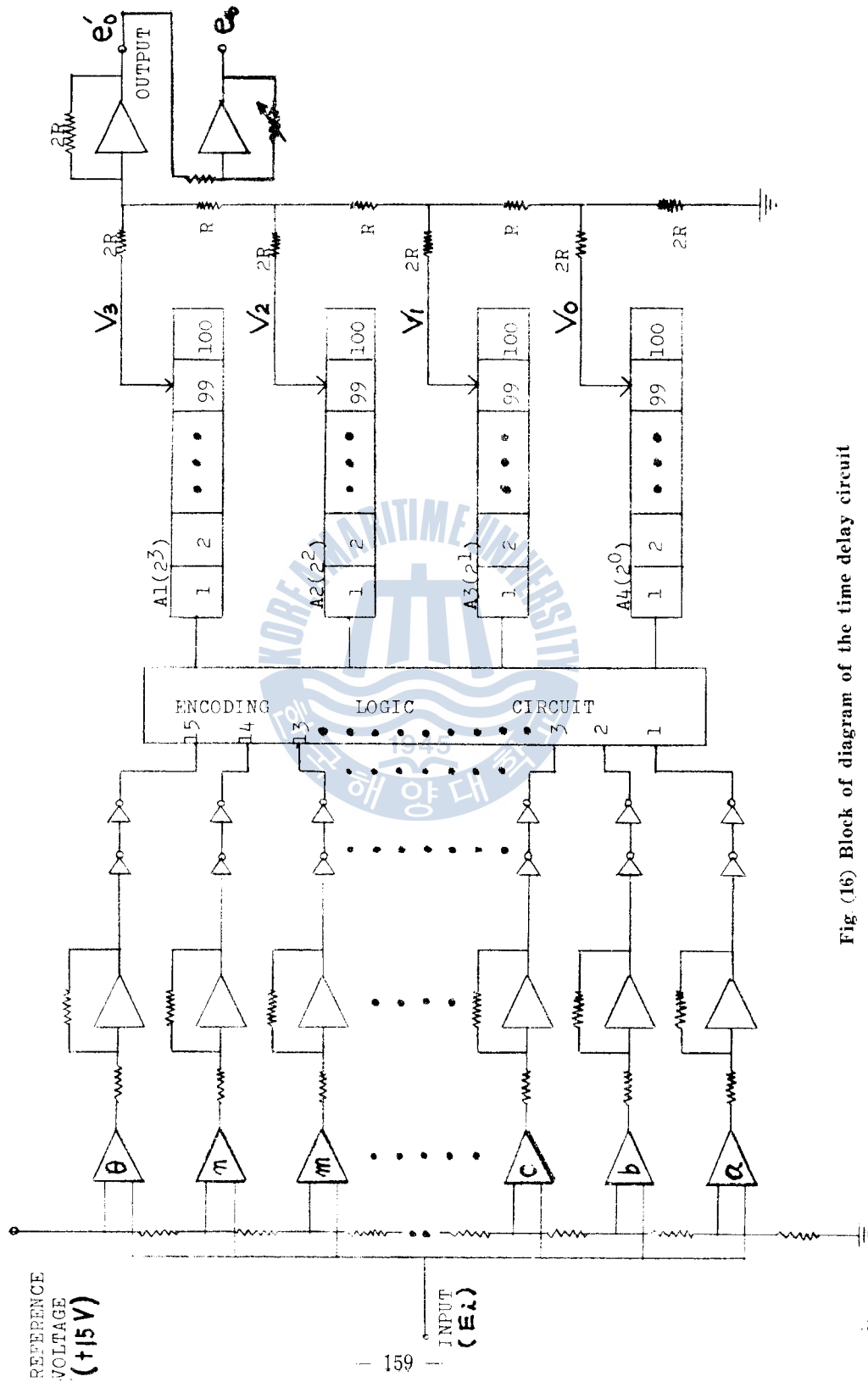


Fig. (16) Block of diagram of the time delay circuit

$$\begin{aligned} V_0/2R &= A_0 & V_1/2R &= A_1 \\ V_2/2R &= A_2 & V_3/2R &= A_3 \\ V_4/R &= X_1, & V_5/R &= X_2, & V_6/R &= X_3 \end{aligned}$$

로 하면, (10), (11), (12) (13)式을 얻는다.

$$\begin{cases} 2X_1 - X_2 = A_0 \dots\dots\dots(10) \\ -X_1 + \frac{5}{2}X_2 - X_3 = A_1 \dots\dots\dots(11) \\ -X_2 + \frac{5}{2}X_3 = A_2 \dots\dots\dots(12) \\ i_{in} - X_3 = A_3 \dots\dots\dots(13) \end{cases}$$

$$\begin{aligned} (10) \times 5/2 + (11) & \qquad \qquad \qquad 5X_1 - 5/2 X_2 = 5/2 A_0 \\ & +) \quad -X_1 + 5/2 X_2 - X_3 = A_1 \\ & \qquad \qquad \qquad 4X_1 - X_3 = 5/2 A_0 + A_1 \dots\dots\dots(14) \end{aligned}$$

$$\begin{aligned} (11) + (12) \times 5/2 & \qquad \qquad \qquad -X_1 + 5/2 X_2 - X_3 = A_1 \\ & +) \quad -5/2 X_2 + 25/4 X_3 = 5/2 A_2 \\ & \qquad \qquad \qquad -X_1 + 21/4 X_3 = A_1 + 5/2 A_2 \dots\dots\dots(15) \end{aligned}$$

$$\begin{aligned} (14) + (15) \times 4 & \qquad \qquad \qquad 4X_1 - X_3 = 5/2 A_0 + A_1 \\ & +) \quad -4X_1 + 21X_3 = 4A_1 + 10A_2 \\ & \qquad \qquad \qquad 20X_3 = 5A_1 + 10A_2 + 5/2 A_0 \end{aligned}$$

$$(16) \rightarrow (13) \qquad \qquad \qquad X_3 = 1/8 A_0 + 1/4 A_1 + 1/2 A_2 \dots\dots\dots(16)$$

$$\begin{aligned} i_{in} &= A_3 + X_3 = 1/8 A_0 + 1/4 A_1 + 1/2 A_2 + A_3 \\ Rf &= 2R \cdot i_{in} \\ -e'_0 &= Rf \times i_{in} = 2R(1/8 A_0 + 1/4 A_1 + 1/2 A_2 + A_3) \\ &= 2R \left\{ \frac{V_3}{2R} + \frac{V_2}{4R} + \frac{V_1}{8R} + \frac{V_0}{16R} \right\} \\ &= V_3 + 1/2 V_2 + 1/4 V_1 + 1/8 V_0 \\ e'_0 &= -(V_3 + 1/2 V_2 + 1/4 V_1 + 1/8 V_0) \\ e_0 &= -3.3333e'_0 \\ &= 3.3333(V_3 + 1/2 V_2 + 1/4 V_1 + 1/8 V_0) \dots\dots\dots(17) \end{aligned}$$

(17)式을 利用하여 아날로그 入力 信號, 디지털 binary signal 및 아날로그 出力 信號 사이의 關係를 求해보면 Table (2)가 된다.

이와 같이 設計 製作한 遲延 裝置의 全体的인 回路와 사진은 Fig.(16), Fig.(17)과 같이 된다.

INPUT ANALOG SIGNAL( $E_i$ )	DIGITAL BINARY SIGNAL	OUTPUT ANALOG	
		$e'_0$	$(-3.3333 e'_0)$ $e_0$
0	0 0 0 0	- 0	0
1	0 0 0 1	- 0.3	1
2	0 0 1 0	- 0.6	2
3	0 0 1 1	- 0.9	3
4	0 1 0 0	- 1.2	4

5	0 1 0 1	- 1.5	5
6	0 1 1 0	- 1.8	6
7	0 1 1 1	- 2.1	7
8	1 0 0 0	- 2.4	8
9	1 0 0 1	- 2.7	9
10	1 0 1 0	- 3.0	10
11	1 0 1 1	- 3.3	11
12	1 1 0 0	- 3.6	12
13	1 1 0 1	- 3.9	13
14	1 1 1 0	- 4.2	14
15	1 1 1 1	- 4.5	15

Table. (2) Equivalent analog voltage table to each digital binary signal.

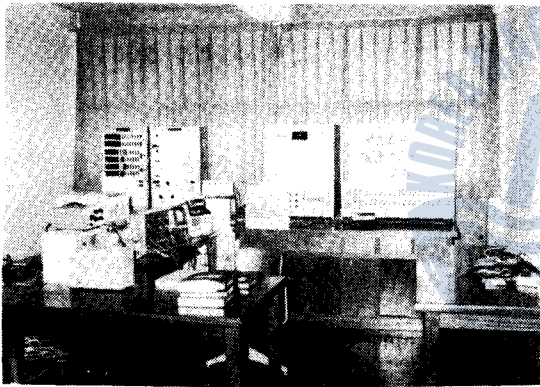


Fig. (17) 지연 장치의 사진

Fig. (16)에서 비교기는  $\mu A$  311, OP AMP는  $\mu A$  741, Shift Register는 MC 7495를 사용했고 符號化 回路는 Hex converter인 MC 7404와 Quad 2-input NAND gate인 MC 7400을 사용하여 回路를 構成하였다.<sup>10)</sup> 即, NAND와 NOT回路를 利用하여 AND, OR를 Fig. (18)과 같이 實現하였다.

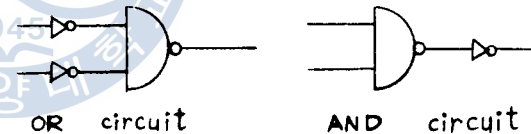


Fig. (18) AND and OR circuit

以上을 綜合하여 Fig.(1)의 系統의 아날로그 시뮬레이션을 行하기 爲한 結線圖를 作成하면 Fig. (19), Fig.(20)과 같이 된다.

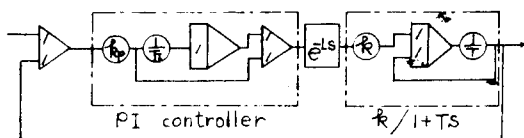


Fig. (19) The connection diagram of the analog simulation system when the PI controller is used

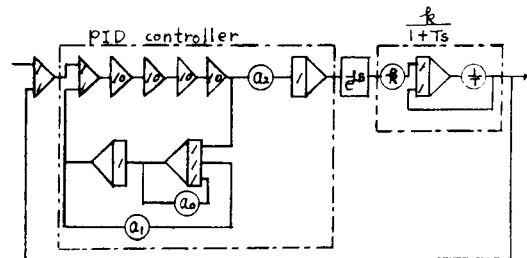


Fig. (20) The connection diagram of the analog simulation system when the PID controller is used

### Ⅲ. 實 驗

#### Ⅲ.1 遲延 裝置의 特性實驗

本 實驗을 行하기 爲하여 Fig. (16)의 回路와 같은 時間遲延裝置를 製作하고 이 裝置의 特性을



살펴보기 爲하여 入力으로써 正弦波 및 指數函數信號를 加하였을 때의 出力 波形은 Fig.(21), Fig (22)와 같이 되었다.

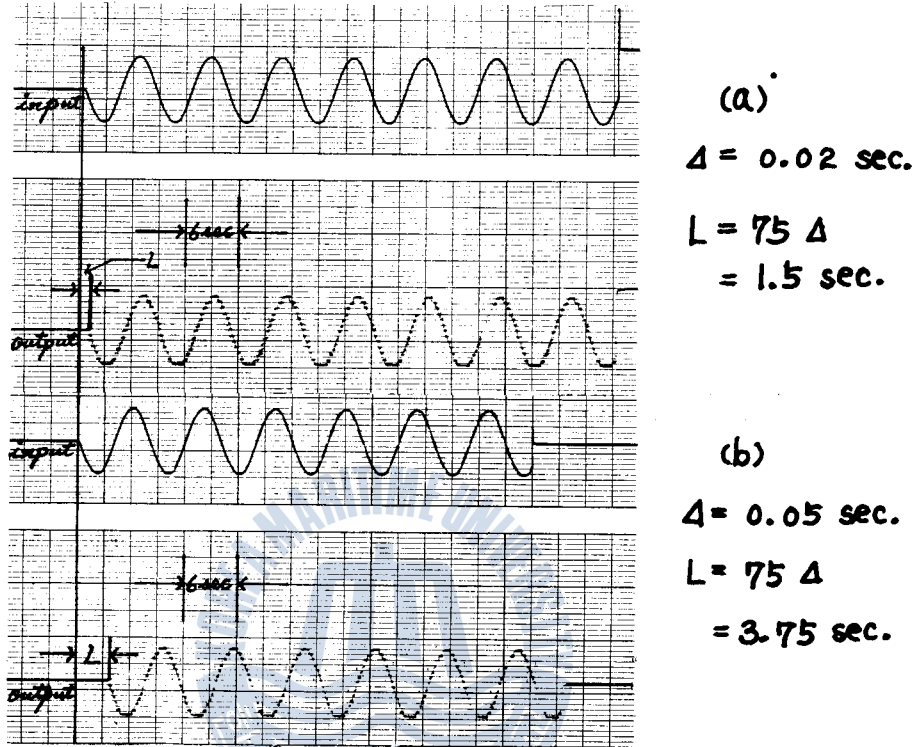


Fig. (21) Delaying characteristics of the time delaying apparatus when input is sinusoidal wave

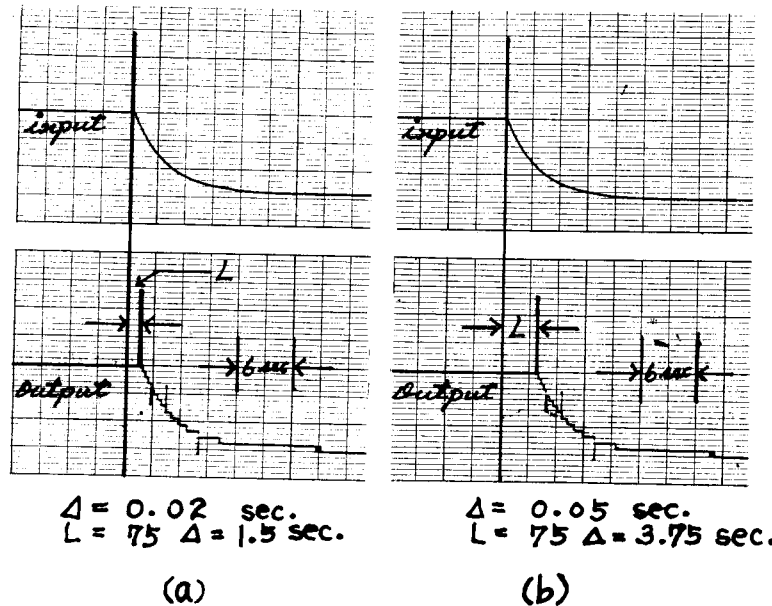


Fig. (22) Delaying characteristics of the time delaying apparatus when input is exponential wave.



Fig. (21)은 正弦波信號의 경우인데 그中 (a)는  $\Delta=0.02\text{sec}(50\text{Hz})$ ,  $L=75 \Delta=1.5\text{sec}$ , (b)는  $\Delta=0.05\text{sec}(20\text{Hz})$ ,  $L=75 \Delta=3.75\text{sec}$ 의 경우이다. Fig. (22)는 指數函數信號에 對한 出力 波形이다.  $\Delta$ ,  $L$ 의 값은 Fig. (21)의 경우와 같다.

### III.2 制御 系統의 應答 實驗

最適 퍼레미터의 決定에 對해서는 參考 文獻(12)에 이미 發表되었기 때문에 여기서는 그 結果만을 引用하기로 한다.

即, Fig. (1)의 피드백 制御 系統에 있어서 制御 對象 即, 플랜트의 퍼레미터  $k$ ,  $T$ ,  $L$ 이 주어졌을 때 이 系統의 인디셜 應答(Indicial Response)의 二乘 誤差 面積을 最小로 하는 PI 制御器의  $k_p$ ,  $T_I$  또는 PID 制御器의  $k_p$ ,  $T_I$ ,  $T_D$ 를 最適 퍼레미터라고 定義하여  $\hat{k}_p$ ,  $\hat{T}_I$ ,  $\hat{T}_D$ 로 表示하고 여러가지의  $k$ ,  $T$ ,  $L$ 의 값에 對하여  $\hat{k}_p$ ,  $\hat{T}_I$ ,  $\hat{T}_D$ 의 값을 數值 計算으로 求한 資料는 Table (3), Table (4)와 같이 된다. 여기서,  $G=\hat{k}_p k$  即, 루우프의 最適 定常 利得이다.

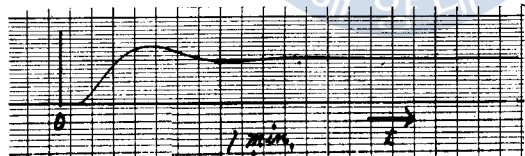
여기서는 이 Table (3), Table (4)의 最適 퍼레미터의 값을 利用하여 PI, PID 制御器를 使用하는 制御 系統에 있어서 플랜트의 時定數  $T$ 와 遲延 時間  $L$ 이 變化할 때 制御器의 퍼레미터가 最適인 경우와 아닌 경우에 對하여 인디셜 應答을 아날로그 시뮬레이션을 通하여 檢討해 본 結果 Fig. (23), Fig. (24)와 같이 되었다.

Table. (3) Values of the optimal parameters of the PI controller(Unit of  $T$ ,  $L$ ,  $\hat{T}_I$ ; min)

$T$	$L$	0.1	0.5	1.0	3.0	5.0	7.0	10.0	15.0
		$G$	0.904	0.513	0.487	0.480	0.480	0.480	0.479
	$\hat{T}_I$	0.116	0.356	0.650	1.841	3.040	4.236	6.016	8.990
0.5	$G$	3.667	1.048	0.717	0.533	0.507	0.498	0.492	0.487
	$\hat{T}_I$	0.545	0.865	1.124	2.253	3.432	4.622	6.417	9.394
1.0	$G$	7.128	1.772	1.065	0.624	0.552	0.526	0.510	0.497
	$\hat{T}_I$	1.081	1.540	1.794	2.840	3.969	5.133	6.917	9.868
3.0	$G$	20.971	4.712	2.523	1.076	0.799	0.687	0.609	0.555
	$\hat{T}_I$	3.220	4.279	4.569	5.514	6.503	7.537	9.163	12.000
5.0	$G$	34.813	7.659	3.998	1.557	1.078	0.878	0.734	0.630
	$\hat{T}_I$	5.373	7.006	7.378	8.304	9.233	10.200	11.711	14.415
7.0	$G$	40.654	10.606	5.472	2.045	1.336	1.079	0.869	0.714
	$\hat{T}_I$	7.516	9.742	10.182	11.148	12.039	12.963	14.384	16.992
10.0	$G$	69.415	15.031	7.687	2.781	1.801	1.385	1.079	0.847
	$\hat{T}_I$	10.679	15.874	14.405	15.438	16.227	17.110	18.525	20.914
15.0	$G$	104.001	22.400	11.384	3.999	2.536	1.904	1.440	1.081
	$\hat{T}_I$	16.091	20.717	21.532	22.293	23.340	24.098	25.579	27.982

Table. (4) Values of the optimal parameters of the PID controller (Unit of  $T, L, \hat{T}_I, \hat{T}_D$ : min)

$T \backslash L$		0.1	0.5	1.0	3.0	5.0	7.0	10.0
		$G$	$\hat{T}_I$	$\hat{T}_D$	$G$	$\hat{T}_I$	$\hat{T}_D$	$G$
0.1	$G$	0.943	0.557	0.516	0.491	0.486	0.484	0.483
	$\hat{T}_I$	0.097	0.337	0.633	1.825	3.018	4.210	6.007
	$\hat{T}_D$	0.037	0.120	0.144	0.161	0.164	0.166	0.168
0.5	$G$	4.354	1.295	0.849	0.587	0.543	0.525	0.511
	$\hat{T}_I$	0.479	0.830	1.082	2.184	3.366	4.557	6.345
	$\hat{T}_D$	0.038	0.197	0.348	0.666	0.755	0.799	0.847
1.0	$G$	8.647	2.303	1.335	0.719	0.616	0.575	0.547
	$\hat{T}_I$	0.953	1.493	1.740	2.732	3.833	4.986	6.764
	$\hat{T}_D$	0.039	0.214	0.406	0.932	1.261	1.441	1.591
3.0	$G$	25.838	6.403	3.389	1.354	0.964	0.807	0.697
	$\hat{T}_I$	2.852	4.178	4.498	5.388	6.293	7.278	8.835
	$\hat{T}_D$	0.039	0.227	0.455	1.222	1.831	2.352	2.985
5.0	$G$	43.022	10.516	5.467	2.032	1.357	1.075	0.872
	$\hat{T}_I$	4.777	6.837	7.280	8.182	9.026	9.922	11.316
	$\hat{T}_D$	0.039	0.230	0.466	1.310	2.034	2.667	3.505
7.0	$G$	60.218	14.633	7.548	2.722	1.763	1.357	1.062
	$\hat{T}_I$	6.710	9.476	10.049	10.985	11.832	12.689	13.988
	$\hat{T}_D$	0.039	0.231	0.470	1.351	2.137	2.839	3.794
10.0	$G$	85.985	20.809	10.674	3.761	2.380	1.792	1.359
	$\hat{T}_I$	9.585	13.479	14.226	15.248	16.050	16.833	18.150
	$\hat{T}_D$	0.039	0.232	0.473	1.384	2.230	3.004	4.060



$T=L=1\text{min.}, k=1$   
 (a)  $k_P=1.065$   
 $T_I=1.794\text{min}$   
 optimal values

Fig. (21)은 正弦波信號의 경우인데 그中 (a)는  $\Delta=0.02\text{sec}(50\text{Hz})$ ,  $L=75 \Delta=1.5\text{sec}$ , (b)는  $\Delta=0.05\text{sec}(20\text{Hz})$ ,  $L=75 \Delta=3.75\text{sec}$ 의 경우이다. Fig. (22)는 指數函數信號에 對한 出力 波形이다.  $\Delta$ ,  $L$ 의 값은 Fig.(21)의 경우와 같다.

### III.2 制御 系統의 應答 實驗

最適 퍼레미터의 決定에 對해서는 參考 文獻(12)에 이미 發表되었기 때문에 여기서는 그 結果만을 引用하기로 한다.

即, Fig.(1)의 피드백 制御 系統에 있어서 制御 對象 即, 플랜트의 퍼레미터  $k$ ,  $T$ ,  $L$ 이 주어졌을 때 이 系統의 인디셜 應答(Indicial Response)의 二乘 誤差 面積을 最小로 하는 PI 制御器의  $k_p$ ,  $T_I$  또는 PID 制御器의  $k_p$ ,  $T_I$ ,  $T_D$ 를 最適 퍼레미터라고 定義하여  $\hat{k}_p$ ,  $\hat{T}_I$ ,  $\hat{T}_D$ 로 表示하고 여러가지의  $k$ ,  $T$ ,  $L$ 의 값에 對하여  $\hat{k}_p$ ,  $\hat{T}_D$ ,  $\hat{T}_I$ 의 값들을 數值 計算으로 求한 資料는 Table (3), Table (4)와 같이 된다. 여기서,  $G=\hat{k}_p k$  即, 루우프의 最適 定常 利得이다.

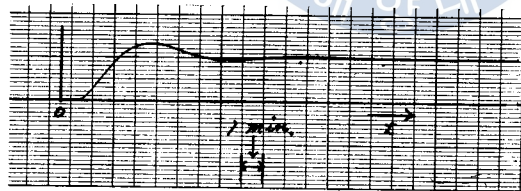
여기서는 이 Table (3), Table (4)의 最適퍼레미터의 값을 利用하여 PI, PID 制御器를 使用하는 制御 系統에 있어서 플랜트의 時定數  $T$ 와 遲延 時間  $L$ 이 變化할 때 制御器의 퍼레미터가 最適인 경우와 아닌 경우에 對하여 인디셜 應答을 아날로그 시뮬레이션을 通하여 檢討해 본 結果 Fig. (23), Fig.(24)와 같이 되었다.

Table. (3) Values of the optimal parameters of the PI controller(Unit of  $T$ ,  $L$ ,  $\hat{T}_I$ ; min)

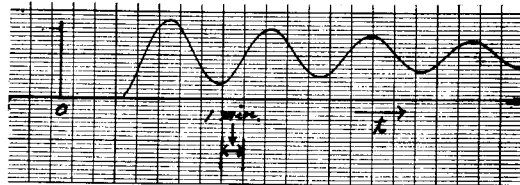
$T$	$L$	0.1	0.5	1.0	3.0	5.0	7.0	10.0	15.0
		$G$	0.904	0.513	0.487	0.480	0.480	0.480	0.479
	$\hat{T}_I$	0.116	0.356	0.650	1.841	3.040	4.236	6.016	8.990
0.5	$G$	3.667	1.048	0.717	0.533	0.507	0.498	0.492	0.487
	$\hat{T}_I$	0.545	0.865	1.124	2.253	3.432	4.622	6.417	9.394
1.0	$G$	7.128	1.772	1.065	0.624	0.552	0.526	0.510	0.497
	$\hat{T}_I$	1.081	1.540	1.794	2.840	3.969	5.133	6.917	9.868
3.0	$G$	20.971	4.712	2.523	1.076	0.799	0.687	0.609	0.555
	$\hat{T}_I$	3.220	4.279	4.569	5.514	6.503	7.537	9.163	12.000
5.0	$G$	34.813	7.659	3.998	1.557	1.078	0.878	0.734	0.630
	$\hat{T}_I$	5.373	7.006	7.378	8.304	9.233	10.200	11.711	14.415
7.0	$G$	40.654	10.606	5.472	2.045	1.336	1.079	0.869	0.714
	$\hat{T}_I$	7.516	9.742	10.182	11.148	12.039	12.963	14.384	16.992
10.0	$G$	69.415	15.031	7.687	2.781	1.801	1.385	1.079	0.847
	$\hat{T}_I$	10.679	15.874	14.405	15.438	16.227	17.110	18.525	20.914
15.0	$G$	104.001	22.400	11.384	3.999	2.536	1.904	1.440	1.081
	$\hat{T}_I$	16.091	20.717	21.532	22.293	23.340	24.098	25.579	27.982

Table. (4) Values of the optimal parameters of the PID controller (Unit of  $T, L, \hat{T}_I, \hat{T}_D$ : min)

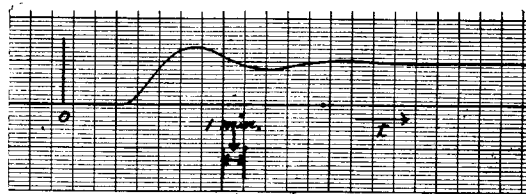
$T \backslash L$		0.1	0.5	1.0	3.0	5.0	7.0	10.0
		$G$						
0.1	$\hat{T}_I$	0.943	0.557	0.516	0.491	0.486	0.484	0.483
	$\hat{T}_D$	0.097	0.337	0.633	1.825	3.018	4.210	6.007
	$\hat{T}_D$	0.037	0.120	0.144	0.161	0.164	0.166	0.168
0.5	$G$							
	$\hat{T}_I$	4.354	1.295	0.849	0.587	0.543	0.525	0.511
	$\hat{T}_D$	0.479	0.830	1.082	2.184	3.366	4.557	6.345
1.0	$G$							
	$\hat{T}_I$	8.647	2.303	1.335	0.719	0.616	0.575	0.547
	$\hat{T}_D$	0.953	1.493	1.740	2.732	3.833	4.986	6.764
3.0	$G$							
	$\hat{T}_I$	25.838	6.403	3.389	1.354	0.964	0.807	0.697
	$\hat{T}_D$	2.852	4.178	4.498	5.388	6.293	7.278	8.835
5.0	$G$							
	$\hat{T}_I$	43.022	10.516	5.467	2.032	1.357	1.075	0.872
	$\hat{T}_D$	4.777	6.837	7.280	8.182	9.026	9.922	11.316
7.0	$G$							
	$\hat{T}_I$	60.218	14.633	7.548	2.722	1.763	1.357	1.062
	$\hat{T}_D$	6.710	9.476	10.049	10.985	11.832	12.689	13.988
10.0	$G$							
	$\hat{T}_I$	85.985	20.809	10.674	3.761	2.380	1.792	1.359
	$\hat{T}_D$	9.585	13.479	14.226	15.248	16.050	16.833	18.150
	$\hat{T}_D$	0.039	0.232	0.473	1.384	2.230	3.034	4.060



(a)  $T=L=1\text{min.}, k=1$   
 $k_P=1.065$   
 $T_I=1.794\text{min}$   
 optimal values

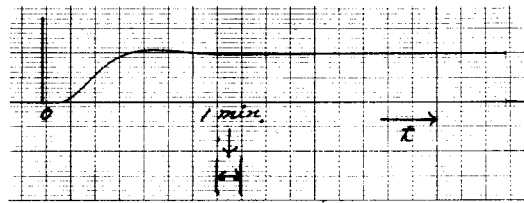


(b)  $T=L=3\text{min.}, k=1$   
 $k_P=1.065$   
 $T_I=1.794\text{min}$   
 non-optimal values

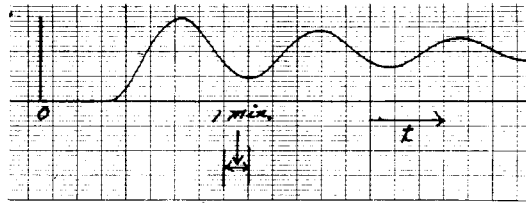


(c)  $T=L=3\text{min.}, k=1$   
 $k_P=1.076$   
 $T_I=5.514\text{min.}$   
 optimal values

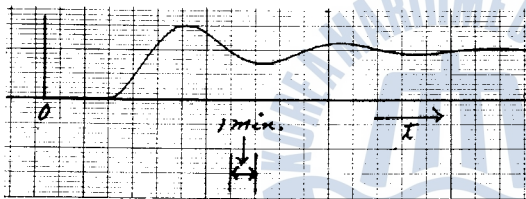
Fig. (23) Indicial responses of the feed back control system when PI controller is used.



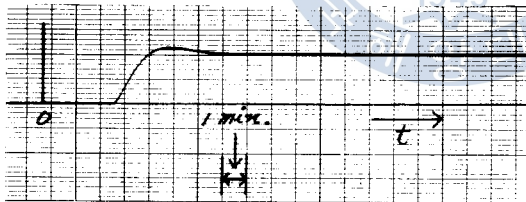
(a)  $T=L=1\text{min.}, k=1$   
 $k_P=1.335$   
 $T_I=1.74\text{min.}$   
 $T_D=0.406$   
 optimal values



(b)  $T=L=3\text{min.}, k=1$   
 $k_P=1.335$   
 $T_I=1.74\text{min.}$   
 $T_D=0.406\text{min.}$   
 non-optimal values



(c)  $T=L=3\text{min.}, k=1$   
 $k_P=1.354$   
 $T_I=5.74\text{min.}$   
 $T_D=0.406\text{min.}$   
 semi-optimal values



(d)  $T=L=3\text{min.}, k=1$   
 $k_P=1.354$   
 $T_I=1.74\text{min.}$   
 $T_D=1.222\text{min.}$   
 optimal values

Fig. (24) Indicial responses of the feed back control system when PID controller is used.

#### IV. 檢討 및 考察

Fig. (21), Fig. (22)에서 出力 波形을 보면 正確히 遲延된 信號를 얻고 있으나 微小한 階段狀波가 나타난다. 이것은 比較回路에서 入力 信號를 15等分하였기 때문에 그 영향이 나타나는 것으로 回路素子數를 늘려 入力 信號를 더욱 微細하게 等分하면 除去될 수 있는 것으로 생각된다. 또한 아날로그 演算을 行하는 경우 이 遲延 裝置 뒤에 高周波 Filter에 該當하는 演算 要素가 뒤따르게 되는 것이 보통이므로 이 階段狀波의 雜音은 크게 問題되지 않을 것으로 생각된다.

Fig. (23)은 PI 制御器를 使用한 경우로서 同圖(a)와 (c)는  $T=L=1\text{min.}, k=1$  및  $T=L=3\text{min.}, k=1$ 에 對해서 制御器의 係數를 Table (3)과 같이 最適值로 調整했을 때의 인더셜 應答으로 그 波形은 大端히 良好함을 알 수 있다. Fig. (23)의 (b)는  $T$ 와  $L$ 이 各各 1分에서 3分으로 變化했을

데도 制御器의 퍼라미터를 最適値로 調整하지 안했을 경우로서 相當히 振動을 하고 있다. Fig.(24)는 PID 制御器를 使用한 경우로서 同圖 (a)와(d)는 各各 Fig.(23)의 (a), (c)와 같이 最適 狀態일 때이고, 同圖(b)는 PID 制御器의 3個의 퍼라미터를 모두 最適値로 調整하지 안했을 때이며, (c)는  $k_p$ 와  $T_I$  만을 最適値로 調整한 準最適狀態일 때이다. 이 들 應答 波形을 通하여 最適制御의 必要性을 如實히 알 수 있다.

## V. 結 論

以上과 같이 本 研究에서는 比較器와 Shift Register 및 사다리꼴 回路를 利用하여 아날로그 信號를 任意 時間 遲延시키는 遲延 裝置를 製作하여 이와 아날로그 計算機를 利用하는 피드백 制御 系統의 아날로그 시뮬레이션을 行하고 그 應答 特性에 對해서 考察하고 檢討하였다.

本 研究에서 製作한 遲延 裝置는 大端히 良好하게 作動하였으며, 이를 利用함으로써 遲延 要素를 手만하는 制御 系統의 아날로그 시뮬레이션이 可能하게 되었다.

또한, 아날로그 시뮬레이션은 制御 系統을 設計하고 最適 應答 特性, 適應 制御 特性 등을 考察하는 데에 大端히 有効함을 알 수 있었다.

本 實驗에서 製作 利用한 遲延 裝置는 (+)의 아날로그 信號만 比較하였으나 (+), (-) 양 電壓을 모두 比較하는 A/D 變換器를 使用하면 그 應用 範圍가 더욱 넓어질 것으로 생각된다.

또한, 比較器의 數를 더욱 늘려 아날로그 信號를 더욱 細分하여 計數化하면 그 精度도 더욱 높아질 것으로 생각된다.

## 參 考 文 獻

1. 河注植, 崔京三, 金承鎬; 適應制御에 관한 研究, 韓國船用機關學會誌 第3卷 第1號 1979. 8.
2. アナログコンピュータの基礎と演習, 日立電子株式會社
3. Jooshik Ha; A study on the viscosity control system of fuel oil for Diesel Engine, 韓國海洋大學 論文集(自然科學篇) 第13輯, 1978. 3.
4. HITACHI ANALOG COMPUTER PROGRAMMING, HITACHI ELECTRONICS LTD., pp. 85~88.
5. 長森 享三 et al; アナログ 計算機入門, オーム社, pp.104~108.
6. 河注植; 自動制御工學, 海事圖書出版部
7. David F.Hoeschele; Analog-to-Digital/Digital-to-Analog conversion Technique, John Wiley & Sons, Inc., 1968.
8. 安在鳳; 適應制御 System을 爲한 傳達函數 推定器, 碩士學位論文, 弘益大學校大學院 1978. 11. pp. 20~21.
9. M. Morris Mano; Computer logic Design, PRENTICE-HALL, INC., Englewood cliffs, N. J.
10. TTL INTEGRATED CIRCUITS DATA BOOK, MOTOROLA INC., 1971.
11. Marschtat; Digital Electronics for scientists, 1972, pp. 331~336.
12. 河注植, 柳吉洙; PID 制御器의 最適調整에 관한 研究, 韓國海洋大學 論文集 (自然科學篇) 第14輯 1979. 3. pp. 207~220.
13. JULIUS T. TOU; Digital and Sampled-data Control Systems, pp. 69~92.