

주기적 접지구조를 이용한 실리콘 RFIC용 초소형 수동소자의 개발

주정갑* · 박영배* · 정보라* · 정장현* · 윤영**

*한국해양대학교 전자공학과, **한국해양대학교 전자공학과 교수

Development of Highly Miniaturized Passive Components Employing Periodic Ground Structure for Application to Silicon RFIC

J. G. Ju* · Y. B. Park* · B. R. Jung* · J. H. Jung* · Y. Yun**

*Department of Radio Communication Engineering, National Korea Maritime University, Busan 606-791, Korea

**Department of Radio Communication Engineering, National Korea Maritime University, Busan 606-791, Korea

요 약 : 기존의 RF 수동소자들은 큰 점유면적으로 인하여 실리콘 IC 외부에서 조작되어 왔다. 이러한 문제를 해결하기 위하여 본 논문에서는 주기적으로 접지된 구조(PGS)를 이용하여 실리콘 RFIC상에 집적가능한 초소형 수동소자를 개발하였으며, 개발된 온칩 브랜치 라인 결합기의 면적은 종래의 약 37%인 0.46 X 0.55mm²이며, 41.75 ~ 50 GHz의 범위에서 양호한 RF특성을 보여주었다.

핵심용어 : 주기적 접지구조(PGS), RFIC, 브랜치 라인 결합기

ABSTRACT : Conventional passive components have been fabricated outside of RFIC owing to their large sizes. To solve this problem, using the periodic ground structure (PGS), highly miniaturized branch-line coupler was realized on Si radio frequency integrated circuit (RFIC). The branch-line coupler exhibited good RF performances from 41.75 to 50 GHz, and its size was 0.46x0.55 mm², which is 37 % of conventional one.

KEY WORDS : Periodic Ground Structure(PGS), RFIC, Branch-line coupler

1. 서 론

최근, 실리콘 반도체 공정기술의 발달에 의해 CMOS의 고주파 성능이 향상됨에 따라, 마이크로파 및 밀리미터파 영역에까지 CMOS의 응용이 가능하게 되었고, 이에 따라 고주파용 RFIC (radio frequency integrated circuit)와 베이스 밴드부의 chip set이 하나의 실리콘 기판상에 집적된 SoC (system on chip)용 단말기의 개발이 가능하게 되었다[1]-[3]. 그러나, 이러한 실리콘 반도체 기술의 발전에도 불구하고, 아직까지도 결합기 및 분배기, 필터등의 대부분의 RF 수동소자들은 큰 점유면적으로 인해 실리콘 IC 내부에 집적되지 못하고 있으며, 실리콘 IC 외부의 프린트 기판 상에 설계 및 제작되고 있는 실정이다[5]. 상기 문제를 해결하기 위해서는, RFIC 내부에 집적 가능한 초소형 수동소자의 개발이 필요하다. 현재까지는

실리콘 수동소자에 대한 연구는 저손실 구조를 이용한 수동소자의 손실감소에 관한 연구에 집중되어 왔다. 이러한 이유로 현재까지 실리콘 RFIC분야에 있어서 수동소자의 소형화에 대한 연구는 전무한 실정이며, 이로 인해 수동소자를 모두 실리콘 RFIC에 집적한 진정한 의미의 SoC용 실리콘 반도체 단말기가 실현되지 못하고 있다.

본 논문에서는 상기 문제점을 해결하기 위해서 실리콘 반도체 상에서 주기적으로 배치된 접지구조를 이용하여, 실리콘 RFIC용 소형 브랜치라인 결합기를 개발하였다.

2. 주기적 접지구조를 이용한 실리콘 RFIC용 단파장 전송선로

본 논문에서는 주기적 접지구조를 이용하여 소형의 수동소

* seikou@hhu.ac.kr

** yunyoung@hhu.ac.kr 051)410-4426

자를 제작하였으며, 우선 본 절에서는 주기적 접지구조에 관해 설명하도록 한다.

그림 1은 본 논문에서 제안하는 주기적 접지구조를 이용한 코프레너 선로구조, 즉, PGS (periodic ground structure) 선로구조이다. 그림에서 보는 바와 같이 선로와 실리콘 기판 사이에 주기적 접지구조인 PGS를 삽입하였으며, PGS와 선로 사이에는 유전체 박막이 존재한다. 그리고, PGS는 컨택트를 통해서 선로의 양측에 존재하는 상단의 접지면에 연결되므로 PGS도 접지가 된다. 그림 1에서 알 수 있는 바와 같이 PGS 선로구조의 용량에 있어서, 종래의 코프레너 선로에서 존재하는 선로와 상부 접지면 사이의 용량 C_a 뿐 아니라 PGS와 선로 사이의 용량 C_b 가 추가적으로 존재한다. 즉, PGS가 존재하지 않는 종래의 전송선로의 경우 전체용량은 $C = C_a$ 가 되나, PGS가 존재하는 전송선로의 경우 전체용량은 $C = C_a + C_b$ 가 된다.

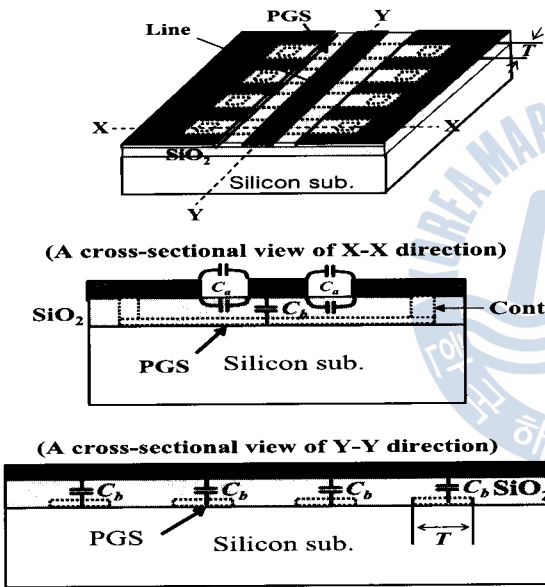


Fig. 1 Structure of coplanar waveguide employing PGS

전송선로의 파장과 임피던스는 식 (1), (2)와 같이, 선로의 용량에 반비례하므로[4], 선로와 접지사이의 용량이 증가할수록 특성임피던스 Z_0 와 선로파장 λ_g 은 감소하며, 따라서, 그림 1의 선로구조는 종래의 코프레너 선로[4]구조에 비해 저임피던스 특성과 단파장 특성을 가진다.

$$Z_0 = \sqrt{\frac{L}{C}} [\Omega] \quad (1)$$

$$\lambda_g = \frac{1}{f\sqrt{LC}} [\text{mm}] \quad (2)$$

그림 2는 실리콘 RFIC상에 형성된 종래의 코프레너 선로의 파장과 PGS 구조를 사용한 코프레너 선로의 파장을 측정한

값과를 비교한 그래프이다. 이들 선로는 두께 600 μm 의 실리콘 반도체 기판상에 제작되었으며, PGS와 선로사이에는 유전율 3.9, 두께 1 μm 인 SiO_2 박막이 존재한다. 그리고, 그림 1의 PGS 구조의 기본 셀 사이의 간격 L 과 선로 폭 W 는 모두 20 μm 이며, 그림 2의 검은 사각형은 PGS 구조의 기본 셀 두께 $T = 5 \mu\text{m}$ 에 해당하며, 흰 원은 $T = 20 \mu\text{m}$ 에 해당한다. 그림에서 보는 바와 같이, PGS를 사용하는 경우의 선로파장은 종래의 코프레너 선로의 60 ~ 65 %로 축소됨을 볼 수 있다. 예를 들어, 주파수 20 GHz에서 종래의 전송선로의 경우 선로파장 λ_g 는 5.9 mm이며, PGS 구조의 경우, $T = 20 \mu\text{m}$ 일 때의 선로파장 λ_g 는 3.7 mm이다.

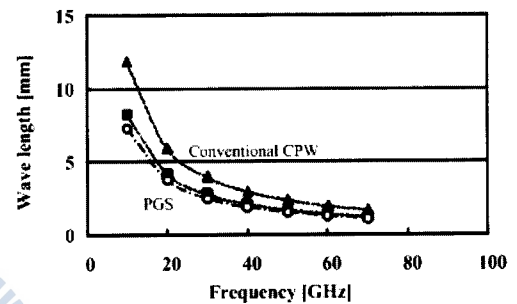


Fig. 2 Measured wavelength of coplanar waveguide employing PGS and conventional one

그림 3은 PGS 구조를 가지는 코프레너 선로와 종래의 코프레너 선로에 대한 특성 임피던스 Z_0 측정결과이다. 여기서 T 는 그림 1에서 보는 바와 같이 PGS 구조의 기본 셀 두께이다. 그림 1의 PGS 구조에서 알 수 있는 바와 같이, T 가 커질수록 선로와 PGS 구조와 선로사이에서 발생하는 정전용량 C_b 가 증가하게 되며, 그 결과 식 (1)로부터 특성 임피던스 Z_0 값은 줄어들게 됨을 알 수 있다.

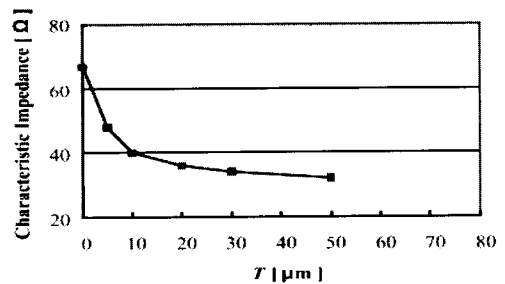


Fig. 3 Measured characteristic impedance of coplanar waveguide employing PGS and conventional one

상기 결과는 본 논문에서 제안하는 선로구조를 이용하면 단지 셀 두께 T 만 조절함으로써 선로의 특성 임피던스를 쉽게 조절할 수 있음을 보여준다. 즉, 선로 폭 $W = 20 \mu\text{m}$ 인 경우

단지 T 를 $0 \sim 50 \mu\text{m}$ 범위에서 조절함으로써 특성 임피던스가 $30 \sim 70 \Omega$ 이 되도록 조절 가능하다. 결국, PGS 구조를 이용하면 임피던스를 매우 낮은 범위까지 조절 가능하며, 이는 RFIC용 수동소자 개발에 있어서 사이즈 축소의 측면에서 매우 유리한 점이다. 왜냐하면, 일반적으로 RF용 트랜지스터는 고주파에서 보통 50Ω 보다 매우 낮은 입출력 임피던스를 가지므로, 이들에 대한 임피던스 정합을 위해서는 저임피던스 특성을 가지는 전송선로가 필요하며, PGS 구조를 이용하면 종래의 코프레너 선로구조에 비해 적은 선로 폭으로 저임피던스 선로를 구현할 수 있기 때문이다.

3. 주기적 접지구조를 이용한 실리콘 RFIC용 초소형 브랜치라인 결합기

그림 4는 PGS를 이용해 실제 제작된 브랜치라인 결합기이다. 제작된 브랜치라인 결합기의 포트 임피던스는 50Ω 이므로 각 선로의 특성 임피던스는 각각 $50, 35 \Omega$ 이며, 선로 폭 W 는 $20 \mu\text{m}$ 로 고정되었다. 제작된 브랜치라인 결합기는 중심주파수가 46 GHz 이며 U밴드에서 동작하도록 설계되었으며, 그림 3으로부터 선로 폭 W 가 $20 \mu\text{m}$ 로 고정된 경우 50 과 35Ω 에 해당되는 PGS 단위 셀의 폭 T 는 각각 5 와 $20 \mu\text{m}$ 이다. 브랜치라인 결합기를 구성하는 $\lambda/4$ 선로길이는 그림 2의 파장측정 결과로부터 결정되었다. 제작된 브랜치라인 결합기의 사이즈는 $0.46 \times 0.55 \text{ mm}^2$ 이며, 이는 종래의 코프레너 선로를 이용하여 제작한 브랜치라인 결합기 면적의 37% 에 해당된다. 즉, PGS를 사용하지 않는 종래의 코프레너 선로구조를 이용하여 두께 $600 \mu\text{m}$ 인 실리콘 반도체 기판상에 중심주파수가 46 GHz 인 U밴드 브랜치라인 커플러를 제작하는 경우, 선로와 접지사이의 거리 G 가 $30 \mu\text{m}$ 인 선로구조를 사용하면 $\lambda/4$ 선로의 길이는 0.64 mm 이며, 50 과 35Ω 의 특성 임피던스를 가지는 선로 폭 W 는 각각 60 과 $130 \mu\text{m}$ 가 되어 면적은 0.68 mm^2 가 된다.

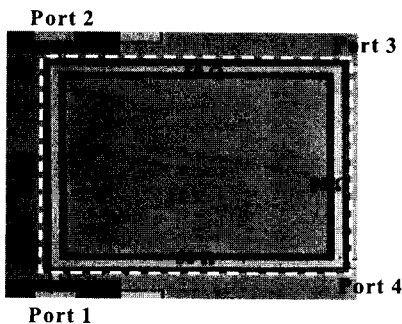


Fig. 4 A photograph of on-chip branch-line coupler employing PGS on Si RFIC

그림 5, 6, 7은 각각 실리콘 RFIC상의 PGS 구조를 이용한

온칩 브랜치라인 결합기의 전력분배, 절연특성 및 반사손실 특성을 보여준다. 전력분배 특성은 포트 1에서 입사되는 신호에 대한 포트 2와 3에서 출력되는 신호 전력비, 즉, S_{21} 과 S_{31} 의 측정치이며, 절연특성은 절연포트간의 입출력 신호 전력비, 즉, S_{41} 이다. 그림에서 보는 바와 같이 중심주파수 46 GHz 에서 S_{21} 과 S_{31} 의 값은 모두 -5.7 dB 이며, $41.75 \sim 50 \text{ GHz}$ 의 범위에서 양호한 전력분배 특성이 관찰되며, 구체적으로 S_{21} 은 $-5.9 \pm 0.5 \text{ dB}$ S_{31} 은 $-5.5 \pm 0.5 \text{ dB}$ 이다. 실제로 테프론 기판상에 제작되는 off-chip 브랜치라인 결합기의 전력 분배값은 대략 -5 dB 정도이며, 따라서, 중심주파수 46 GHz 에서 본 논문의 결합기는 0.7 dB 정도 더 높은 손실특성을 보인다. 절연 특성 S_{41} 은 중심주파수 46 GHz 에서 -18.1 dB 이며, $41.75 \sim 50 \text{ GHz}$ 의 범위에서 $-13 \sim -18.1 \text{ dB}$ 범위의 양호한 특성을 보인다. 반사손실의 경우 결합기 구조의 대칭성에 의해 $S_{11} = S_{22} = S_{33} = S_{44}$ 이며, 따라서, S_{11} 의 측정치만 나타내었으며 중심주파수 46 GHz 에서 -11.1 dB 이며 $41.75 \sim 50 \text{ GHz}$ 의 범위에서 -10 dB 이하이다.

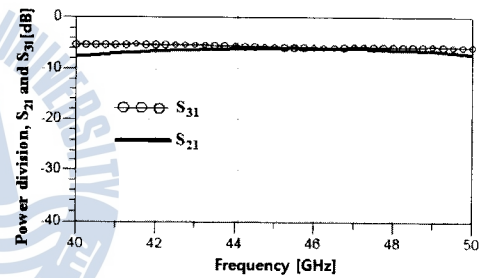


Fig. 5 Power division characteristic of the on-chip branch-line coupler

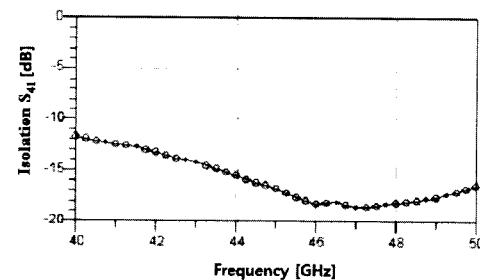


Fig. 6 Isolation characteristic of the on-chip branch-line coupler

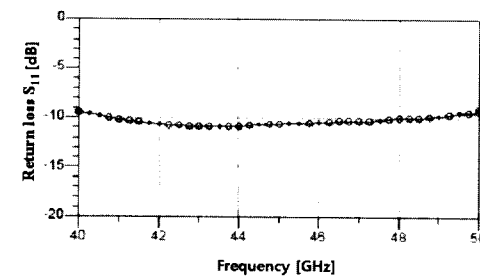


Fig. 7 Return loss characteristic of the on-chip branch-line coupler

그림 8은 포트 1에서 입사되는 신호에 대한 포트 2와 3에서 출력되는 신호간의 위상차, 즉, phase (S_{21}) - phase (S_{31})에 대한 측정치를 보여 주며, 중심주파수 46 GHz에서 90.1° 이며, 41.75 ~ 50 GHz의 범위에서 $90 \pm 4.8^\circ$ 범위의 양호한 특성을 보인다.

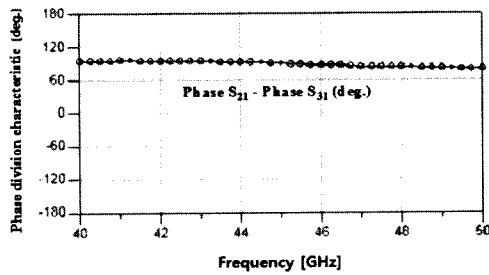


Fig. 8 Phase division characteristic of the on-chip branch-line coupler

4. 결 론

본 논문에서는 주기적 접지구조를 이용하여 실리콘 RFIC상에 집적가능한 초소형 수동소자를 개발하였다. 구체적으로는 실리콘 RFIC 반도체 기판상에 온칩 브랜치라인 결합기를 제작 평가하였으며, 브랜치라인 결합기의 면적은 종래의 약 37%인 $0.46 \times 0.55 \text{ mm}^2$, 41.75 ~ 50 GHz의 범위에서 양호한 RF 특성을 보여주었다.

후 기

본 연구는 ETRI SoC산업진흥센터 IT SoC 핵심설계인력양성사업의 지원에 의해 수행되었습니다. 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 지원사업의 연구결과로 수행되었음" (NIPA-2009-C1090-0903-0007). 본 연구는 지식경제부와 한국산업기술재단의 전략기술인력양성사업으로 수행된 연구결과임. 이 논문 또는 저서는 2008년 교육과학기술부로부터 지원받아 수행된 연구임 (지역거점연구단육성사업/차세대물류IT기술연구사업단). 본 과제(결과물)는 교육과학기술부의 재원으로 한국연구재단의 지원을 받아 수행된 광역경제권 선도산업 인재양성사업의 연구결과입니다.

참 고 문 헌

[1] S. C. Shin, M. D. Tsai, R. C. Liu, K. Y. Lin, and H. Wang, 2005(7): A 24GHz 3.9dB NF Low-Noise Amplifier Using 0.18 μm CMOS Technology, IEEE Microw. Wireless Compon. Lett., Vol.15, No.7,

pp.448-450.

[2] H. J. Wei, C. Meng, P. Y. Wu, and K. C. Tsung, 2008(1): K-Band CMOS Sub-Harmonic Resistive Mixer with a Miniature Merchand Balun on Lossy Silicon Substrate, IEEE Microw. Wireless Compon. Lett., Vol.18, No.1, pp.40-42.

[3] T. P. Wang, and H. Wang, 2007(9): A 71-80GHz Amplifier Using 0.13 μm CMOS Technology, IEEE Microw. Wireless Compon. Lett., Vol.17, No.9, pp.685-687.

[4] D. M. Pozar, 1998: Microwave engineering(2nd edition), Addison-Wesley.

[5] M. K. Mandal, and S. Sanyal, 2007(12): Reduced-Length Rat-Race Coplers, IEEE Trans. Microwave Theory Tech., Vol.55, No.12, pp.2593-2598.

원고접수일 : 2010년 01월 11일

원고채택일 : 2010년 02월 10일

