

DTV 중계기에서의 UHF 전송장치용 구동증폭단의 구현 및 성능평가에 관한 연구

이 영 섭* · 전 중 성**

*(주)사라콤 SE사업부, **한국해양대학교 부설 산업기술연구소

A Study on Fabrication and Performance Evaluation of a Driving Amplifier Stage for UHF Transmitter in Digital TV Repeater

Young-Sub Lee* · Joong-Sung Jeon**

*System Engineering Department, SARACOM Co., Ltd.

**Research Institute of Industry Technology, Korea Maritime University

요 약 : 본 논문에서는 UHF(470~806 MHz) 대역에서 전송장치로 사용 가능한 DTV 중계기용 1 Watt 급 구동증폭단을 설계 및 제작하였다. 구동증폭단은 유전율 2.53, 두께 0.8 mm 기판을 사용하여, 전치증폭기 및 1 Watt 단위증폭기를 단일기판상에 집적화 하였다. 바이어스 전압 28 V DC, 전류 900 mA를 구동증폭단에 인가하였을 때, 470~806 MHz의 대역에서 53.5 dB 이상의 이득, ± 0.5 dB의 이득 평탄도 및 -12 dB 이하의 입·출력 반사손실이 나타났다. 또한 출력전력이 1 Watt일 때 사용주파수 대역에서 2 MHz 주파수 간격의 두 신호를 구동증폭단에 입력하여 설계사양보다 우수한 48 dBc 이상의 상호변조왜곡 특성이 나타남을 알 수 있었다.

핵심용어 : DTV 중계기, 구동증폭단, 전치증폭기, 1 Watt 단위증폭기, 상호변조왜곡

Abstract : In this paper, a driving amplifier stage with 1 Watt output has been designed and fabricated, which is operating at UHF band(470 ~ 806 MHz) for digital TV repeater. In the driving amplifier stage, preamplifier and 1 Watt unit amplifier are integrated by one electric substrate which is 2.53 in dielectric constant and 0.8 mm thickness. When the driving amplifier stage is flown by bias voltage of 28 V DC and current of 900 mA, it has the gain of more than 53.5 dB, the gain flatness of ± 0.5 dB and return loss of less than -12 dB in 470 ~ 806 MHz. Also, when two signals at 2 MHz frequency interval are input port into the driving amplifier stage with 1 Watt output, it resulted in excellent characteristics to designed specification with showing intermodulation distortion characteristics of more than 48 dBc.

Key words : Digital TV Repeater, Driving amplifier stage, preamplifier, 1 Watt unit amplifier, Intermodulation distortion

1. 서 론

다단 전력증폭기의 설계는, 입·출력 전력의 세기를 고려한 사용소자의 제한에 따라 각 단별로 소자의 요구 성능에 적합한 개별적 설계가 가능하여야 한다. 이와같은 설계 방법의 의해 전체 전력증폭기는 구동증폭단과 전력증폭단의 두 부분으로 나누어 설계할 수 있다.

구동증폭단은 대역내에서 고이득 및 높은 선형성과 안정성을 위해 AB급 증폭이 가능하도록 설계하였다. 전력증폭단의 설계에 있어서는 1 dB 압축점이 매우 중요한 파라미터가 되므로 설계시 1 dB 압축점으로부터 수 dB 이하의 점까지 동작 범위를 선택하여 회로가 낮은 왜곡 특성을 나타내도록 설계해야 한다. 특히 전력증폭기의 설계 및 제작에 있어서는 전력소자의 모델링 파라미터가 신호전력 레벨 및 주파수에 따라 비

선형 특성이 나타나는 것에 주의하여 설계하여야 한다. 그러나 FET 소자에 대한 비선형 모델링 계수를 측정하는데는 고가의 장비가 필요할 뿐 아니라 측정 방법상에도 많은 노력이 요구되므로 본 연구에서는 FET 소자의 제작사가 제공하는 비선형 계수를 근거로 증폭기를 구현하였다(G., 1984 ; Tri T, 1981).

2. 구동증폭단의 설계 목표치 설정

구동증폭단을 설계 및 제작하기 위해서는 먼저 구동증폭단을 선형적으로 동작시킬 수 있는 전치증폭기를 설계해야 한다. 전치증폭기는 이득 10.5 dB인 HP사의 MSA-1105, 손실이 0.3 dB인 3 dB 방향성결합기 그리고 이득 18 dB인 Motorola 사의 MHL-8118을 사용하여 구성하였고, 1 Watt 단위증폭기

* 대표저자 : 이영섭(정회원), yslee@saracom.net 016)739-7220

** 정회원, jsjeon@hanara.kmaritime.ac.kr 019)503-9315

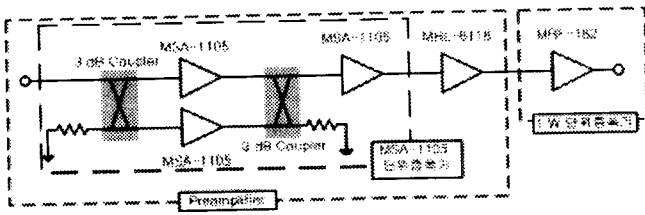


Fig. 1 A block diagram of the driving amplifier stage.

Table 1 A design specification of 1 Watt driving amplifier.

항 목	성 능 규 격
주 파 수	470~806 MHz
이 득	50 dB 이상
입 력 삽 입 손 실	
이 득 평 탄 도 (주 파 수 내)	±1.5 dB 이하
이 득 평 탄 도 (채 널 내)	±0.1 dB 이하
상 호 변 조 왜 곡	
출 력 전 력	1 W peak 이상
균 지 연 특 성	변동폭이 ± 10 ns 이하

에는 이득이 12 dB인 Motorola사의 MRF-182를 사용하였다.

Fig. 1은 구동증폭단의 구성을 나타낸 것이며, Table 1은 최적화를 위한 1 Watt 구동증폭단의 설계 목표치를 나타낸 것이다.

3. 전치증폭기의 구현

3.1 MSA-1105 단위증폭기의 회로 설계

Fig. 2는 전치증폭기의 회로 및 전원 회로를 나타낸 것으로, 8-VSB 모듈레이터로부터 입력되는 신호의 변화에 대하여 전치증폭기의 입력단 보호를 위해 3 dB 방향성결합기를 이용하여 평행증폭기의 형태로 구현하였다. 인가된 28 V DC 전원은 정전압 트랜지스터에 의해 5 V DC 전원으로 변환된 후 MSA-1105에 공급된다(HEWLETT, 1998).

Fig. 1과 같이 이득 10.5 dB인 HP사의 MSA-1105 및 손실이 0.3 dB인 3 dB 방향성결합기를 이용하여 구현한 MSA-1105 단위증폭기는 각각 $I_d = 25$ mA 조건에서 바이어스 회로 부분을 포함하여 470~806 MHz 대역에서 이득이 20 dB 이상이 되도록 HP사에서 제공하는 비선형 데이터를 사용하여 시뮬레이션(Advanced Design System 1.3)하였으며, 그 최적화된 결과를 Fig. 3(a)에 나타내었다. 그 결과 주파수 470~806 MHz의 336 MHz 대역에서 21 dB 이상의 이득과 ±1 dB의 이득 평탄도를 가지며, -15 dB 이하의 입·출력 반사손실 특성을 나타내었다. Fig. 3(b)와 Fig. 3(c)는 바이어스 전압 28 V DC, 전류 80 mA를 인가하고, 중심주파수 473 MHz와 803 MHz에서 2 MHz 주파수 간격으로 두 신호 -20 dBm을 MSA-1105 단위증폭기에 입력할 때 각각 40.34 dBc, 40.90 dBc의 상호변조왜곡특성 시뮬레이션 결과를 보여주고 있다.

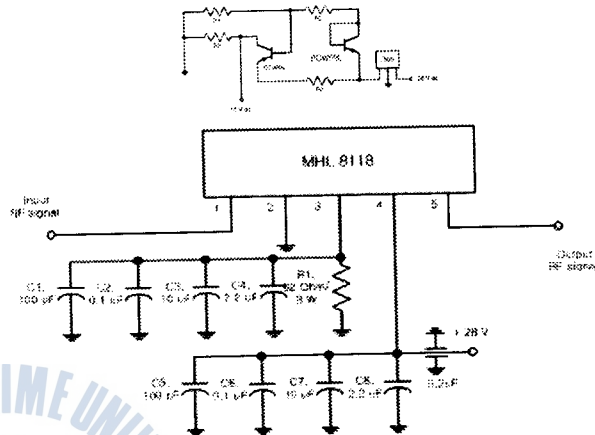
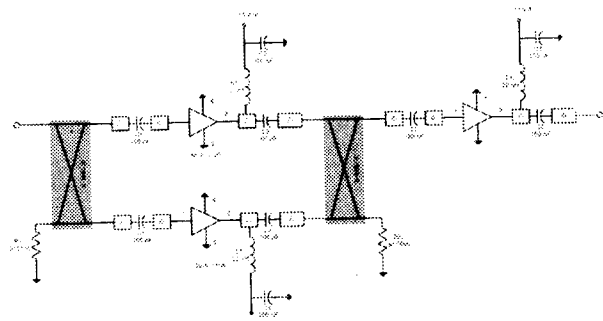
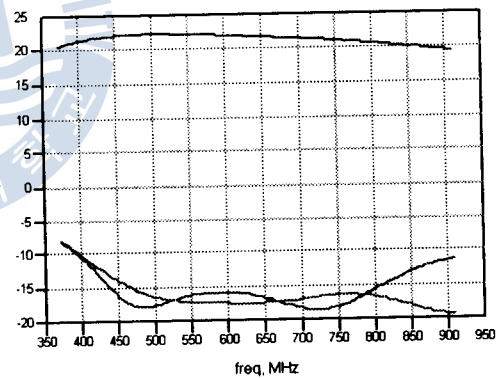
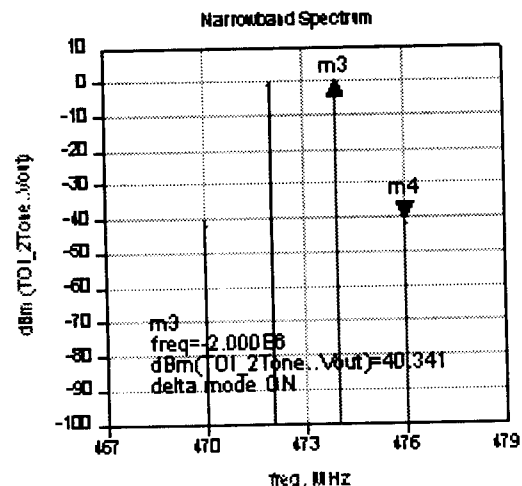


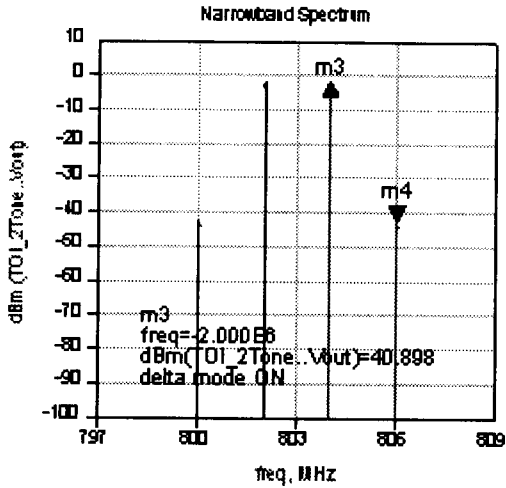
Fig. 2 A circuit of the preamplifier.



(a) The gain and return loss characteristics.



(b) The IMD characteristics at the frequency 473 MHz.



(c) The IMD characteristics at the frequency 803 MHz.

Fig. 3 A result of MSA-1105 unit amplifier simulator.

3.2 MSA-1105 단위증폭기의 특성 측정

Fig. 4는 주파수 470 ~ 806 MHz 대역에서 입력 신호의 크기를 -20 dBm 인가시킬 때, 제작된 MSA-1105 단위증폭기의 소신호 이득 및 입·출력 반사계수 측정을 위한 구성이며, 측정시 장비의 보호를 위해 증폭기의 출력단에 40 dB/50 Watt 감쇠기를 삽입하였다.

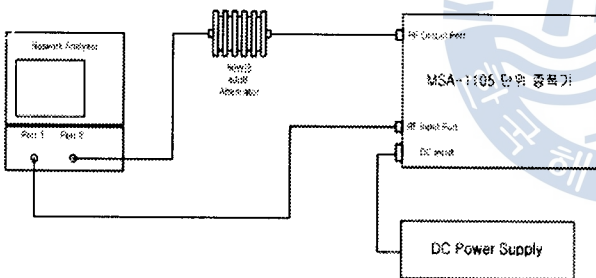


Fig. 4 The MSA-1105 unit amplifier measuring system using network analyzer.

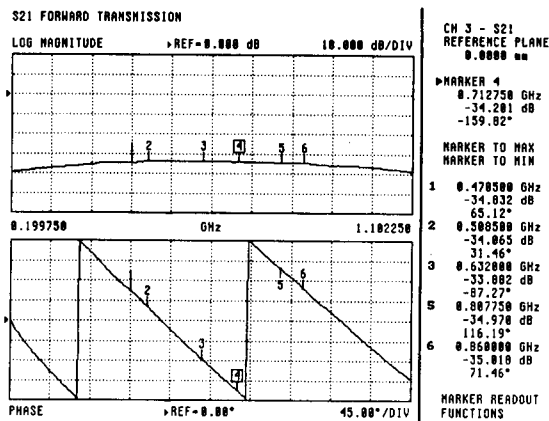
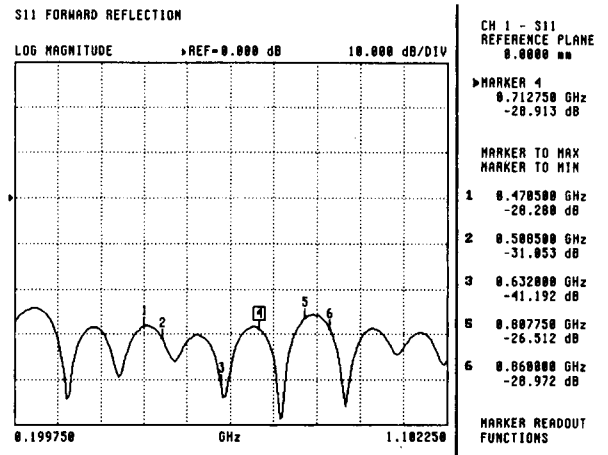
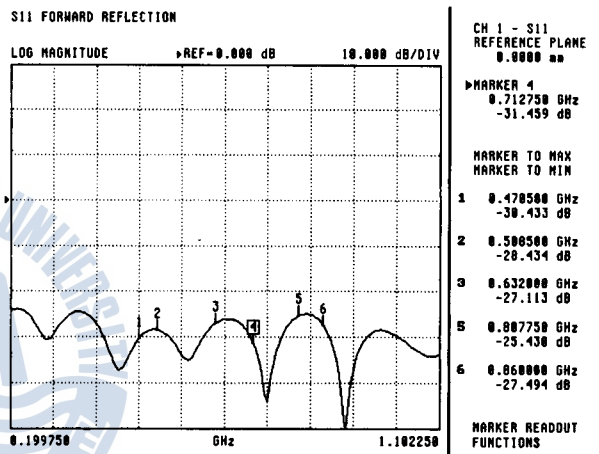


Fig. 5 The gain and phase characteristics of the MSA-1105 unit amplifier.



(a) The input return loss.



(b) The output return loss.

Fig. 6 The input and output return loss of the fabricated MSA-1105 unit amplifier.

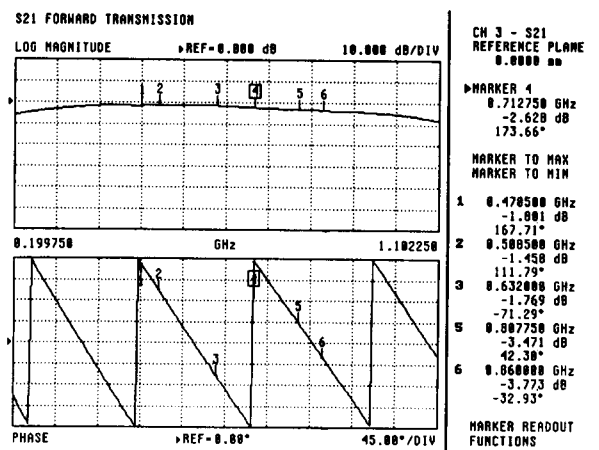


Fig. 7 The gain and phase characteristics of the preamplifier.

Fig. 5는 출력단에 40 dB 감쇠기를 부가한 상태에서 측정된 소신호 이득 및 위상을 나타내었다. MSA-1105 단위증폭기는

25 dB 이상의 이득과 ± 0.5 dB의 이득 평탄도를 보였다. Fig. 6은 입·출력 반사손실을 나타내며 -25 dB 이하의 특성을 나타내었다. 따라서 이러한 각기 특성들이 시뮬레이션 결과와 잘 일치하며, 이득이 시뮬레이션한 값과 4 dB 정도의 차이가 나타나는데, 이것은 소모된 전류에 기인한 것이다.

3.3 전치증폭기의 특성 측정

제작된 전치증폭기는 주파수 470 ~ 806 MHz 대역에서 입력 신호 -20 dBm을 인가시킬 때, 소신호 이득 및 입·출력 반사계수의 측정을 위해 회로망 분석기를 이용하였다. 그리고 장비의 보호를 위해 증폭기의 출력단에 20 dB/10 Watt 감쇠기를 삽입하여 측정하였다.

출력단에 40 dB 감쇠기를 부가한 상태에서 측정된 소신호 이득 및 위상을 Fig. 7에 나타내었으며, 전치증폭기는 470 ~ 806 MHz의 336 MHz 대역에서 36 dB 이상의 이득과 ± 1.2 dB의 이득 평탄도를 나타내었다. Fig. 8은 입·출력 반사손실로서 -22 dB 이하의 특성을 나타내었다.

Fig. 9는 기판 두께 0.8 mm, 유전율 2.53인 FR-4 기판을 사용하여 제작된 전치증폭기의 실물 사진을 보여준다.

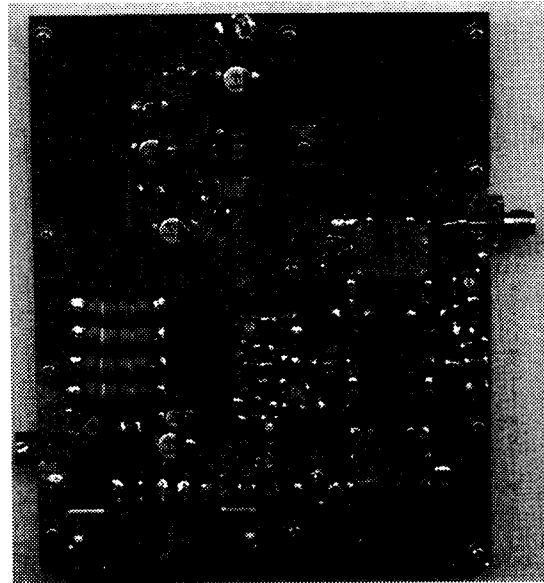


Fig. 9 The photograph of the fabricated preamplifier.

4. Watt 단위증폭기의 구현

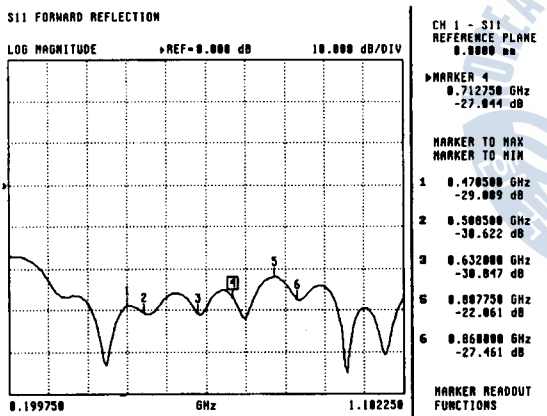
4.1 Watt 단위증폭기의 설계

구동증폭단의 설계에서 첫째단과 둘째단은 Silicon bipolar MMIC인 MSA-1105를 이용하여 평행증폭기의 형태로, 셋째단은 내부 정합된 푸시풀(Push-Pull) 증폭기인 MHL-8118을, 넷째단은 MOSFET인 MRF-182를 사용하여 구성하였다. MRF-182는 DTV 주파수 대역에서 동작하는 Motorola사의 순시치전력(PEP) 30 Watt용 MOSFET이다. 디지털 TV 주파수 전달 형태인 8-VSB에서 안정적인 동작을 위해서는 평균 출력전력을 순시치 전력보다 10 dB 낮은 3 Watt를 최대 출력전력으로 사용하였다. 본 연구에서는 구동증폭단의 입력이 최대 -20 dBm일 때, 구동증폭단의 출력전력이 1 Watt가 되도록 구성하였다.

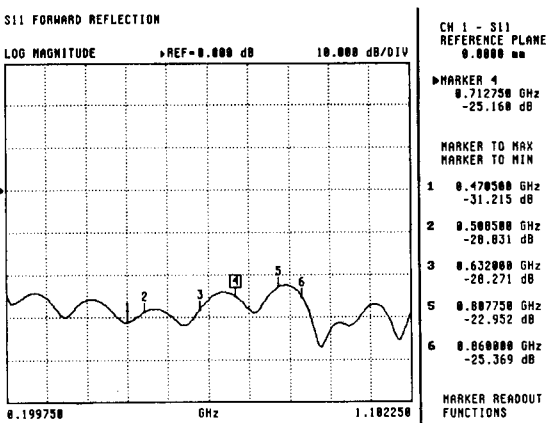
Fig. 10은 1 Watt 단위증폭기의 회로 및 바이어스 회로를 나타내며, MOSFET인 MRF-182를 $V_{ds} = 28$ V, $I_{ds} = 400$ mA 조건에서 바이어스 회로 부분을 포함하여 사용주파수 대역에서 이득이 14 dB 이상이 되도록 초고주파대 해석 S/W인 HP사의 ADS 1.3을 이용하여 최적화 하였다. 그 결과를 Fig. 11(a)에 나타내었으며, 주파수 336 MHz 대역에서 14 dB 이상의 이득과 ± 2 dB의 이득 평탄도를 나타내었다. Fig. 11(b)는 바이어스 전압 28 V DC, 전류 550 mA를 인가하여 중심주파수 473 MHz에서 2 MHz 주파수 간격의 두 신호 15 dBm을 1 Watt 단위증폭기에 입력할 때 32.53 dBc 이상의 상호변조왜곡 특성을 보여주고 있다.

4.2 Watt 단위증폭기의 특성 측정

본 연구에서는 1 Watt 단위증폭기의 소신호 이득 및 입·출력 반사계수 측정을 위해 회로망 분석기를 사용하였으며, 장비의 보호를 위해 증폭기의 출력단에 30 dB/50 Watt 감쇠기를 삽입하였다.



(a) The input return loss.



(b) The output return loss.

Fig. 8 The input and output return loss of the fabricated preamplifier.

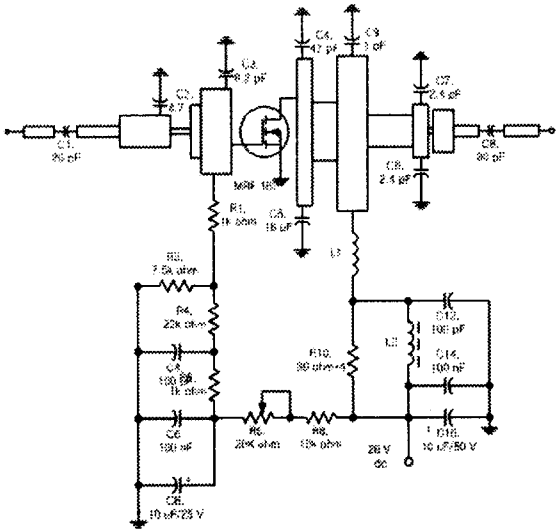
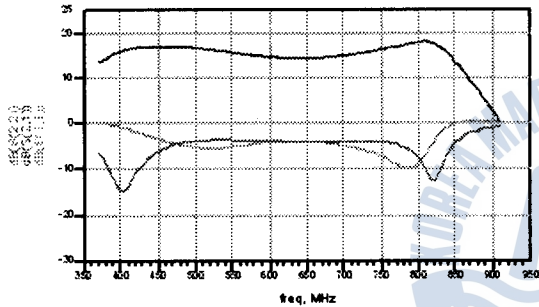
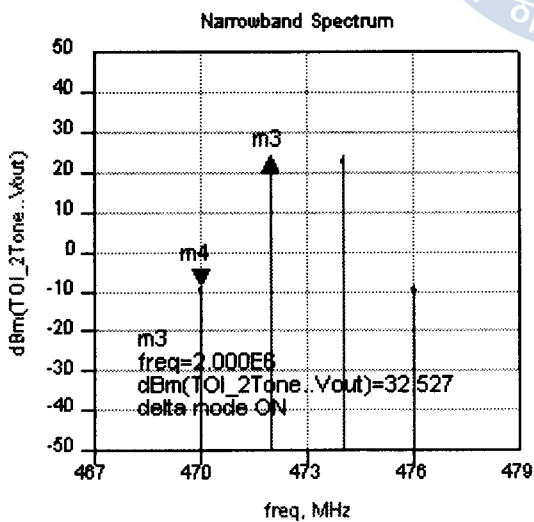


Fig. 10 A circuit of 1 Watt unit amplifier and bias circuit.



(a) The gain and return loss characteristics.



(b) The IMD characteristics.

Fig. 11 A result of 1 Watt unit amplifier simulation.

Fig. 12는 출력단에 30 dB 감쇠기를 부가한 상태에서 측정 한 소신호 이득 및 위상을 나타낸 것이며, 1 Watt 단위증폭기는 470~806 MHz의 336 MHz 대역에서 12.5 dB 이득과 ± 0.3 dB의 이득 평탄도를 나타내었다.

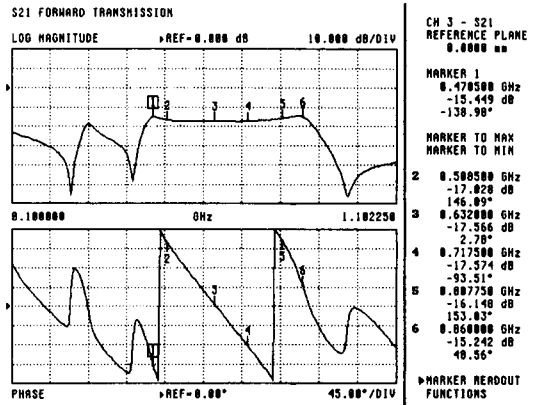


Fig. 12 A small signal gain of the fabricated 1 Watt unit amplifier.

5. 구동증폭단의 특성 측정

Fig. 1과 같이 구성된 구동증폭단의 이득을 측정하기 위하여 출력단에 20 dB 감쇠기를 부가한 상태에서 측정 한 소신호 이득 및 위상을 Fig. 13에 나타내었다. 구동증폭단은 470 ~ 806 MHz 대역에서 53.5 dB 이상의 이득과 ± 0.5 dB의 이득 평탄도를 가지며, Fig. 14와 같이 입·출력 반사손실은 -12 dB 이하의 특성을 나타내었다. 또한 Two-tone 신호가 증폭기에 입력되었을 때, 증폭기 출력에서 두 간섭 신호에 의해 발생되는 상호변조왜곡특성을 Fig. 15와 같은 구성으로 측정하여 전송신호의 품질에 증폭기의 비선형성이 미치는 영향의 정도를 추정하였다.

Fig. 16은 바이어스 전압 28 V DC, 전류 900 mA를 인가하여 출력 전력이 1 Watt일 때, 사용주파수 대역에서 2 MHz 주파수 간격의 두 신호를 구동증폭단에 입력하여 이때의 상호변조왜곡특성의 측정결과를 보여주고 있다.

측정결과, 2 MHz 주파수 간격의 두 신호 -20 dBm을 구동증폭단에 입력할 때, 설계 사양인 45 dBc 보다 우수한 48 dBc 이상의 상호변조왜곡특성을 나타내었다.

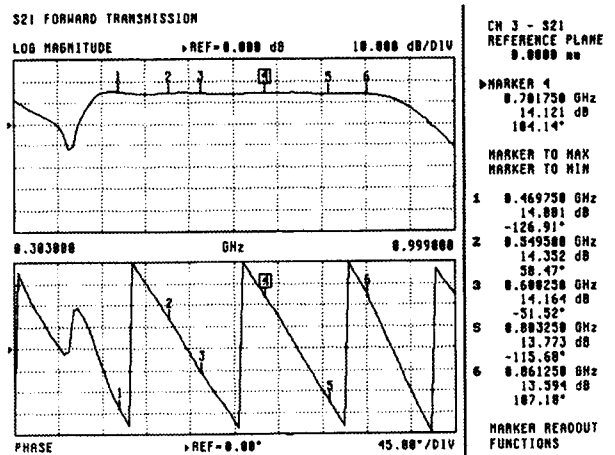
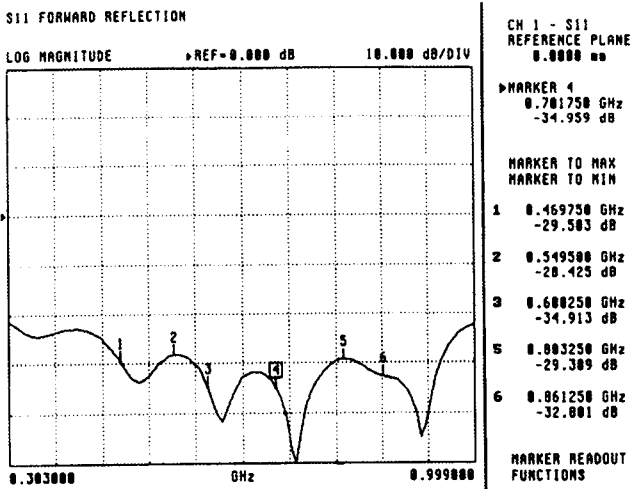
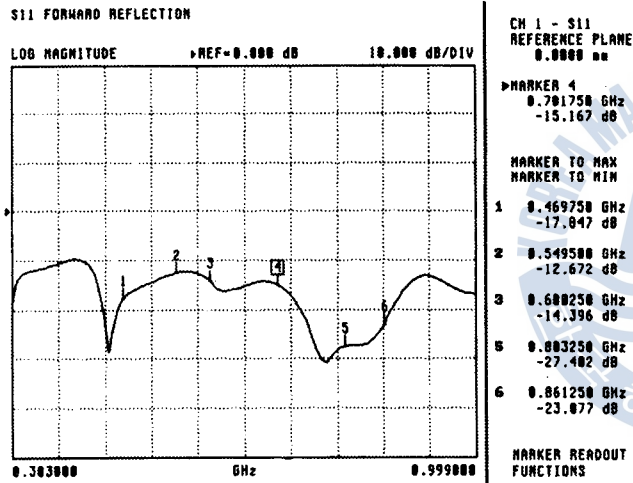
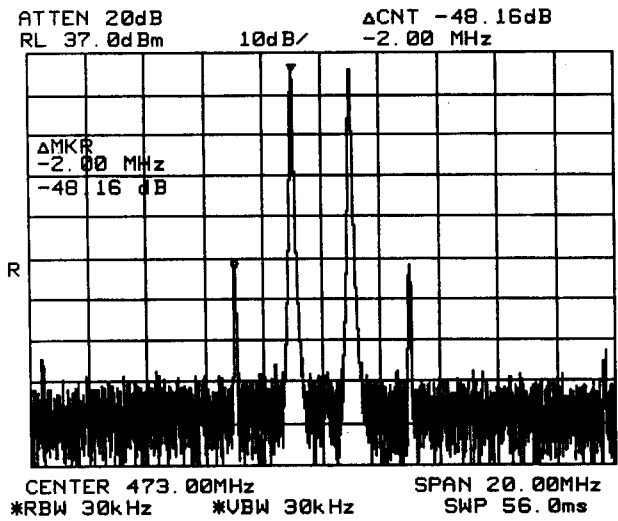


Fig. 13 A small signal gain of the fabricated driving amplifier stage.



(a) The input return loss.



(b) The output return loss.

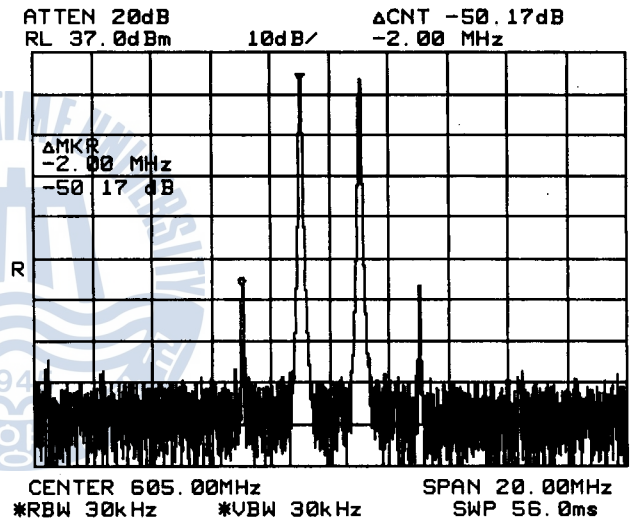


Fig. 14 The input and output return loss of the fabricated driving amplifier stage.

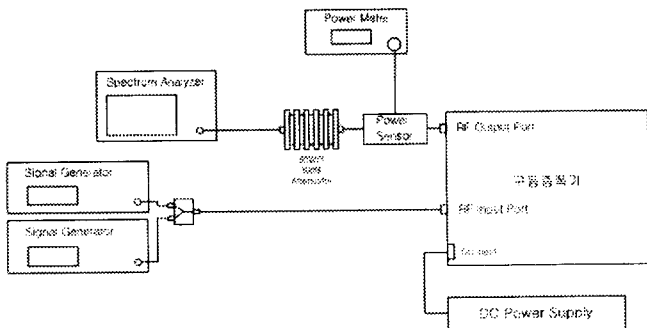


Fig. 15 The driving amplifier stage measuring system for IMD using spectrum analyzer.

Fig. 17은 두께 0.8 mm, 유전율 2.53인 기판을 사용하여 제작된 전치증폭기와 1 Watt 단위증폭기로 구성된 광대역 구동 증폭단의 실물 사진을 보여준다.

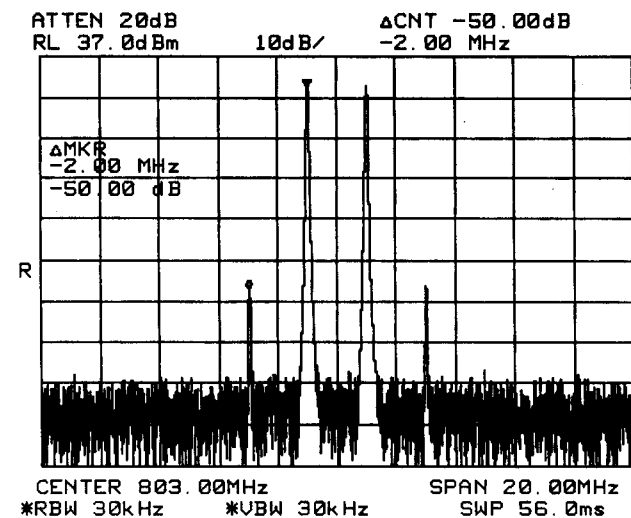


Fig. 16 The IMD characteristics of the fabricated driving amplifier stage.



Fig. 17 The photograph of the fabricated driving amplifier stage.

계 및 제작하였다. 구동증폭단은 유전율 2.53, 두께 0.8 mm 기판을 사용하여, 전치증폭기 및 1 Watt 단위증폭기를 단일 기판상에 집적화 하였다.

구동증폭단에 바이어스 전압 28 V DC, 전류 900 mA를 인가하였을 때, 470 ~ 806 MHz의 336 MHz 대역에서 53.5 dB 이상의 이득과 ± 0.5 dB의 이득 평탄도 그리고 -12 dB 이하의 입·출력 반사손실이 나타남을 알 수 있었다. 또한 출력전력이 1 Watt일 때 사용주파수 대역에서 2 MHz 주파수 간격의 두 신호를 구동증폭단에 입력하여 48 dBc 이상의 상호변조왜곡 특성이 나타남을 알 수 있었다.

따라서 제작된 구동증폭단은 상기에서 제시한 구동증폭단의 설계 목표치를 만족할 뿐만 아니라 향후 중간증폭단과의 연동을 고려한 100 Watt 급 광대역 전력증폭기의 제작을 위한 양호한 결과가 도출되었음을 알 수 있었다.

참 고 문 헌

[1] G. Gonzalez(1984):Microwave Transistor Amplifiers Design, Prentice-Hall, pp. 95-101.
 [2] HEWLETT PACKARD(1998):Communications Components - GaAs & Silicon Products Designer's Catalog. pp. 8-35 HP.
 [3] Tri T. Ha(1981):Solid-State Microwave Amplifier Design, John Wiley, pp. 203-216.

5. 결 론

본 연구는 UHF(470 ~ 806 MHz) 대역에서 전송장치로 사용 가능한 디지털 TV 중계기용 1 Watt 급 구동증폭단을 설

원고접수일 : 2003년 5월 21일
원고채택일 : 2003년 7월 31일