

# DDS를 이용한 FFH/BFSK 시스템 송신부의 주파수합성기 설계 및 성능평가

이 두 석\* · 유 형 렬\*\* · 정 지 원\* · 조 형 래\* · 김 기 문\*\*

## A Study on Design and Performance Evaluation of the Frequency Synthesizer Using the DDS in the Transmitter of the FFH/BFSK System

Du-suk Lee\* · Hyung-yul You\*\* · Ji-won Jung\* · Hyung-rae Cho\* · Ki-moon Kim\*\*

### Abstract

The global trends of mobile communication system is moving toward digitizing, high-speed and large-capacity. Also, to utilize the limited frequency-resource efficiently, spread spectrum system is a mainstream. In this study we are concerning with the fast frequency-hopping system. Instead of the PLL with many problems such as phase-noise, we used the DDS is popular in these days minimizes the disadvantage of PLL. In the case the FFH system is designed using the PLL, it is difficult to be satisfied of the design conditions such as RF bandwidth and the settling time of PLL, and it has limitation because of complex circuit by using the balanced modulator. In this study, we evaluated the performance in order to design the FFH system using the DDS. The system that has the improvement of error rate, 1 Mhps hopping rate and 5 MHz RF bandwidth is designed and evaluated.

### I. 서 론

전 세계적인 통신의 추세는 언급한 디지털화와 더불어 서비스의 다양화, 고속화 그

\* 한국해양대학교 공과대학 전파공학과

\*\* 한국해양대학교 공과대학 전자통신공학과

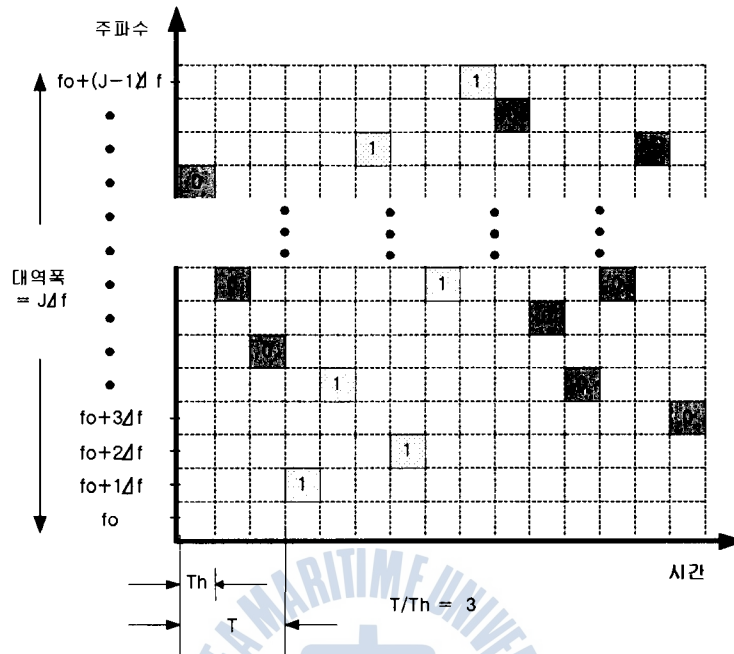


그림 2. 주파수도약 형태의 블록다이어그램

### III. 오율에 따른 주파수 수의 결정

주파수도약 시스템에서는 사용 가능한 주파수가 많아야만 한다. 이것은 일반적인 대역확산 시스템의 처리이득(processing gain)은 전송된 확산신호의 고주파 대역폭을 기저대역 채널상의 정보 율로 나눈 것으로 나타내지만, 주파수도약 시스템에서의 처리이득은 사용 가능한 주파수 선택 수와 같기 때문이다. 대역확산 시스템에서 처리이득은 다음과 같다.

- 일반적인 대역확산 시스템

$$\text{처리이득} = G_p = \frac{W_{RF}}{R_{Info}} \tag{4}$$

- 주파수도약 시스템

$$\text{처리이득} = G_p = \frac{W_{RF}}{R_{Info}} = \text{사용가능한 주파수선택수} \tag{5}$$

송신 데이터 용장도가 없는 단순한 주파수도약 시스템에서 오율(error rate)은  $J/N$ 이다. BFSK가 사용되는 주파수도약 시스템의 오율은 다음 식과 같다[1][5].

$$P_e = \sum_{x=r}^c \binom{c}{r} p^x q^{(c-x)} \quad (6)$$

여기서,

$p$  : 1회 실행 시 에러 확률 =  $J/N$

$J$  : 채밍된 채널 수

$N$  : 주파수도약 시스템의 사용 가능한 채널 수

$q$  : 1회 실행 시 에러가 없는 확률 =  $1 - p$

$c$  : 칩의 수

$r$  : 비트 에러를 유발시키기 위한 판단에 필요한 틀린 칩 수

그림 4와 같이 기존의 PLL을 이용한 평행변조를 하였을 경우는 데이터가 1 Kbps로 전송되고 대역폭이 10 MHz로 한정된다고 하면, 주파수도약에 의한 반송파의 스펙트럼은 2 KHz의 주 로브 대역폭을 갖게 된다. 그러므로 만약 사이드 로브를 무시하여 중첩에 의한 상호간섭을 생각하지 않는다면  $10 \text{ MHz} / 2 \text{ kHz} = 5000$ 개 주파수가 사용이 가능해진다. 간섭 대 신호비가 100 : 1 일 때 오율이  $3 \times 10^{-3}$  이라고 가정하자. 1 chip으로 전송할 때 5000채널 중 100개에 간섭 전력이 존재하고, 전송 도약율이 3000 hps 그리고 수신 신호 대역폭이 6 kHz가 중복되지 않고 사용 가능한 채널은  $10\text{MHz}/6\text{kHz} = 1666$ 개이다. 여기서 100 : 1의 간섭 비에 의하여  $J/N = 100/1666 = 0.06$ 이 된다. 이것은 사용 가능한 1666개의 채널 중 100개의 간섭이 내제 하므로 1채널에는 0.06이 간섭이 존재할 확률이 된다. 따라서 오율은 다음과 같이 계산할 수 있다.

$$P_e = \sum_{x=2}^3 \binom{3}{2} 0.06^x \times 0.94^{(c-x)} = 1.2 \times 10^{-2}$$

이것은 처음 가정한 100 : 1의 간섭 대 신호 비의 오율  $3 \times 10^{-3}$  에는 못 미친다. 오율을 만족시키는  $J/N$ 은 0.032 이하의 값이어야 한다. 이 값은  $100/0.032 = 3125$ 개의 채널을 최소로 필요로 한다. 따라서 이경우의 정보 비트 당 3chip으로 구성되는 수신단의 RF 대역폭은 다음과 같다.

$$\text{최소 RF 대역폭} = 6 \text{ kHz} \times 3125 = 18.75 \text{ MHz}$$

하지만 그림 4와 같이 DDS를 이용한 경우 BFSK신호를 PN 코드 신호와 EX-OR시켜

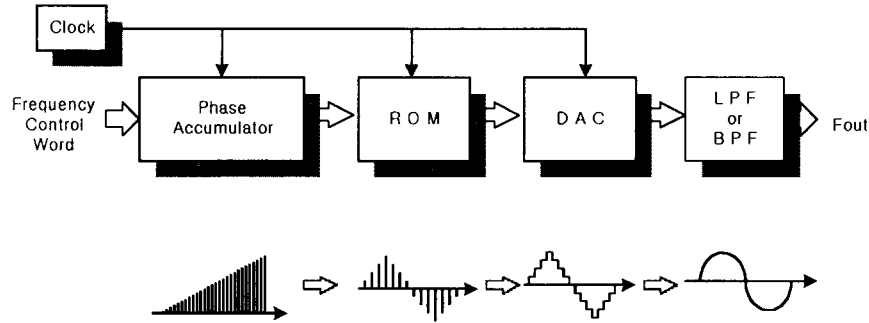


그림 5. DDS의 기본 블록 다이어그램

그림 6은 DDS의 위상잡음을 분석한 것이다. 출력 주파수가 77.5 MHz일 때 trace1은 DDS의 위상잡음 출력 값이며, trace2는 화이트 노이즈 레벨을 포함하는 DDS의 부가 위상 잡음, 그리고 DDS의 누화(degradation)를 포함하는 위상 잡음 출력 값이다[3].

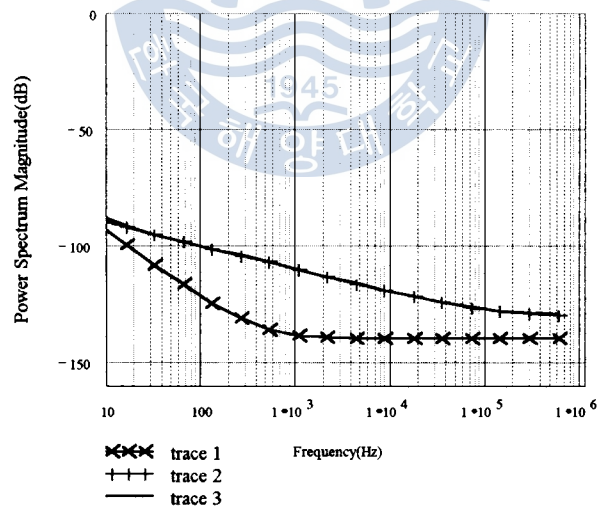


그림 6. DDS 출력의 위상 잡음

## V. 주파수 합성기부 설계

그림 7은 DDS를 이용한 주파수도약 시스템 송신부의 주파수합성기의 기본적인 구

성도이다. 먼저 12단의 선형 쉬프트 레지스터를 만든 다음 선형 쉬프트 레지스터에서 나온 신호를 ROM의 어드레스로 신호를 넣는다. ROM은 8 bit 이며, 원하는 주파수와 스텝을 프로그래밍 하게 된다. 이것은 4개 사용하여 32비트의 데이터 출력을 얻게 된다. 이 데이터 신호는 DDS의 주파수제어(FC)단으로 들어가서 DDS의 출력 주파수를 제어하게 된다. 그리고 DDS로부터 나온 신호를 DAC를 사용하여 아날로그 신호로 출력하게 된다. 본 논문에서는 ROM에서의 주파수대역 프로그래밍을 중심 주파수를 77.5MHz, 대역폭은 5 MHz로 하였다. 그리고 도약간격은 1.2 kHz이며 도약 율은 1 Mhps이다. DDS 소자로는 Q2240-3SI를 사용하였으며, DAC의 소자로는 AD9762를 사용하였다. Q2240 -3SI는 32bit의 입력을 받아 위상 누적기로 입력되고, 다시 14bit의 출력을 ROM으로 입력하게된다. 최종 출력으로 12bit의 디지털 신호가 나오게 된다. 이것은 12bit DAC소자에서 아날로그 출력으로 나오게 되며, 마지막으로 스푸리어스를 제거 하기 위하여 필터링 하게 된다[2][7].

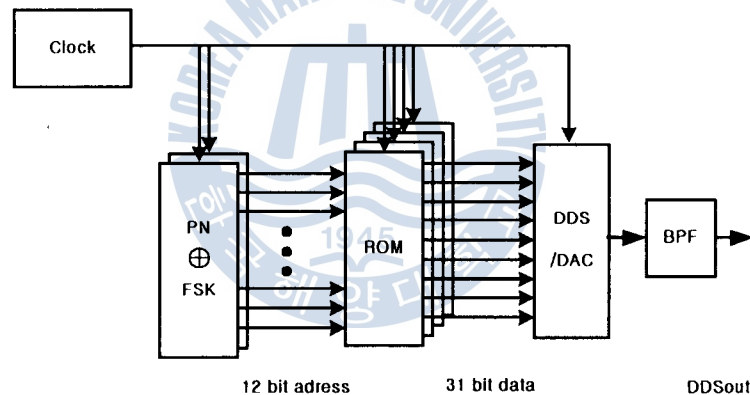


그림 7. DDS를 이용한 주파수합성기의 블록 다이어그램

## VI. 성능 측정 및 평가

그림 8은 실제 제작한 시스템의 실험 사진이며, 그림 9는 100 MHz의 주파수를 갖는 12단 PN 코드 발생기의 출력 신호이다. 그림 10은 DDS의 출력 신호를 스펙트럼 분석기로 측정한 값이며, 최대 출력 주파수는 100 MHz이다. 87.5 MHz의 주 신호이고 12.5 MHz의 신호는 100 MHz-87.5 MHz의 1차 하모닉 성분이다. 25 MHz, 37.5 MHz 62.5 MHz, 75 MHz는 각각 2차, 3차, 4차, 5차 하모닉 성분이다. DDS에서는 어떤 하모닉이 발생하지 않는 클럭을 사용 하느냐가 매우 중요한 문제이다[2][3].

이러한 결과는 DDS가 디지털 소자이기 때문에 가능한 결과이며, 또한 위상동기루프와 달리 소프트웨어적으로 DDS의 출력 주파수 범위이내에서 주파수대역 및 주파수 간격 등의 파라미터를 ROM의 프로그래밍에 의하여 손쉽게 조정이 가능하다. 또한 고속의 채널 전환 특성과 직접변조에 의하여 사이드 로브가 발생하지 않는 점들은 결국 채널 마진의 증가로 인한 오류의 성능향상을 가져왔다.

본 논문은 고속 주파수 도약 시스템의 송신부에 국한되나 향후 수신부의 제작 및 성능평가 연구가 요구되며, 이를 고속 주파수도약 시스템 분야 뿐 아니라 여러 이동통신 분야에서 응용 가능할 것으로 기대된다.

## 참고문헌

- [1] R. C. Dixon, *Spread Spectrum Systems*, John Wiley & Sons, Inc., 1984.
- [2] QUALCOMM ASIC, *Synthesizer Products Data Book*, QUALCOMM 8, 1997.
- [3] Venceslav F. Koupa, *Direct Digital Frequency Synthesizers*, IEEE Press, 1998.
- [4] J. G. Proakis, *Digital Communication - Third Edition*, McGraw-Hill, 1995.
- [5] M. V. Hegde and W. E. Stark, On the Error Probability of Coded Frequency-Hopped Spread-Spectrum Multiple-Access Systems, *IEEE Trans. Commun.*, vol. 38, no. 5, pp.571-573, May 1990.
- [6] Bar-Giora Goldberg, *Digital Frequency Synthesis Demystified*, LLH Technology Publishing, 1999.
- [7] Analog Device, *AD9762 Data Sheet*, Analog Device Inc., 1999.
- [8] M. V. Hegde and W. E. Stark, Capacity of Frequency-Hop Spread-Spectrum Multiple-Access Communication Systems, *IEEE Trans. Commun.*, vol. 38, no. 7, pp.1050-1059, July 1990.
- [9] R. Agusti, On the Performance Analysis of Asynchronous FH-SSMA Communications", *IEEE Trans. Commun.*, vol. 37, no. 5, pp. 488-499, May 1989.
- [10] Alex W. Lam and Sawasd Tantaratana *Theory and Applications of Spread-Spectrum System*, pp. 62-75, May 1994.
- [11] B. Sklar, *Digital Communications*, Prentice Hall, 1988.
- [12] J. R. Alexovich and R. M. Gagliardi, Effect of PLL Frequency Synthesizer in FSK Frequency-Hopped Communications, *IEEE Trans. Commun.*, vol. COM-37, no. 3, pp. 268-276, March 1989.

## 요 약

이동 통신의 세계적 흐름은 디지털화, 고속화 그리고 대용량화의 추세로 나아가고 있다. 또한 한정된 주파수 자원을 효율적으로 이용하기 위하여 대역확산 방식이 그 주를 이루고 있다. 본 연구에서는 고속 주파수도약 방식을 이용하였다. 잡음 등의 여러 가지 문제점을 가지고 있는 PLL(Phase Lock Loop) 대신, PLL의 단점을 최소화할 수 있는 디지털 소자인 직접 디지털 주파수합성기(DDS : Direct Digital Synthesizer)를 사용하여 FFH 시스템 송신부의 주파수합성기를 설계하였다. PLL를 이용하여 고속 주파수 도약시스템을 설계하는 경우, PLL의 settling time의 설정과 요구되는 RF대역폭 등의 설계사양을 만족시키기가 어려우며 평형변조기 사용에 의한 회로의 복잡성으로 인한 제약이 따르게 된다. 본 연구에서는 DDS를 이용하여 고속 주파수도약 시스템을 설계하기 위한 성능평가에 대하여 연구하였으며, 오율 개선의 해석과 도약율 1 Mbps, 5 MHz RF 대역폭의 고속 주파수 도약이 가능한 시스템을 설계하고 성능을 평가하였다.



